

칩렛 및 이종 집적 IC 패키징을 위한 공급망 준비

Mike Kelly, Dave Hiner, Ruben Fuentes, Jonathan Micksch, Vineet Pancholi [앰코테크놀로지]

이종 집적(HI, Heterogeneous Integration)과 칩렛을 사용하는 제품들이 시장에 출시되어 생산 중이며, 현재는 많은 제품들과 고객들이 외주 반도체 조립 및 테스트 공급업체(OSAT, Outsourced semiconductor assembly and test suppliers)와 파운드리 공급업체에서 제품 개발과 검증을 진행하는 추세입니다.

프로세서와 메모리의 조합은 수년 간 사용되어 왔으며, 특히 빠르게 성장하는 인공지능(AI) 알고리즘 트레이닝 시장을 겨냥한 고대역폭 메모리(HBM, High-bandwidth memory)를 탑재한 하이엔드 프로세서 제품에서 발전의 정점을 찍었습니다. 이제 다이 기능을 칩렛으로 분할하는 기능을 통해 미래 설계에 더 넓고 강력한 영향을 미칠 수 있습니다. 칩렛 기술을 통해 비용 대비 높은 제품 성능 향상을 지속할 수 있으며, 작은 칩렛의 더 나은 수율과 다양한 실리콘 공정 노드를 혼합 사용함으로써 총 실리콘 비용을 낮출 수 있습니다. 이종 집적 및 칩렛 접근 방식을 위한 집적회로(IC, Integrated circuit) 패키징은 더 비싸지만, 이러한 패키지 비용 증가는 총 실리콘 비용 절감과 시장 출시 기간 단축이라는 이점으로 상쇄할 수 있습니다.

칩렛과 HI 구현을 위해서는 IC와 패키지 설계, 제조, 전기 테스트를 위한 새로운 인프라가 필요합니다. 설계 도구는 2D 및 3D 물리적 구성에서 여러 IC를 처리하고, 기능적인 디바이스 전기 테스트(E-Test, Electric test) 및 더 높은 전력 밀도를 다룰 수 있어야 합니다. 칩렛 및 이종 집적 구성을 지원하는 IC 패키징은 최근 몇 년 동안 OSAT 및 파운드리의 주된 관심사였습니다. 멀티 다이 제품은 하나의 기능 유닛에 통합되어야 합니다. 이러한 통합은 웨이퍼 스케일(CoW, Chip-on-wafer), 고밀도 모듈과 고밀도 멀티칩 모듈(MCM, Multi-chip modules) 또는 두 가지를 모두 사용하는 고밀도 통합 방식을 통해 이루어집니다. 고밀도 모듈은 시스템 온 칩(SoC, System-on-chip) 플립칩 볼 그리드 어레이(FCBGA, Flip-chip ball grid array) 패키지와 같은 생산 환경에서 IC 패키지 기판에 부착되지만, 몇 가지 주요 맞춤 설정이 적용됩니다.

현재 제품 제조 및 개발에 사용되는 패키징 방법론은 1. 실리콘 인터포저를 사용하는 2.5D 실리콘 관통전극(TSV, Through-silicon via) 모듈, 2. 고밀도 팬아웃(HDFO, High-density fan-out) 다층 재분배층(RDL, Redistribution layer) 방식을 활용하는 모듈, 3. 브릿지를 포함하는 모듈 등을 포함합니다. 이러한 2차원 구조는 개별 다이 조합뿐만 아니라 개별 다이와 3D 다이 스택의 조합에도 사용할 수 있습니다. 아래 섹션에서는 먼저 2.5D TSV부터 시작하여 이러한 개발 환경에 대해 설명합니다.

2.5D TSV 실리콘 인터포저

2.5D TSV 는 2017 년부터 앰코에서 대량 생산(HVM, High-volume manufacturing)에 적용되었습니다. 공정 흐름은 파운드리 중 한 곳에서 전체 두께의 인터포저 웨이퍼로 시작하여 Cu TSV 를 드러내도록 얇게 만든 다음 무기 패시베이션 단계, 언더 범프 금속화(UBM, Under bump metallization) 및 인터포저 뒷면 범핑으로 이어지는 완전한 "TSV Reveal" 기능으로 시작됩니다.

이 제품 영역은 HBM2, HBM2e, HBM3 등 고대역폭 DRAM 메모리(HBM, high-bandwidth DRAM memory)와 함께 작동하는 고성능 프로세서가 주도하고 있습니다. 2.5D TSV 는 패키지 자체에 프로세서와 DRAM 을 통합할 수 있도록 고밀도 모듈을 사용하는 최초의 이중 집적 중 하나였습니다. 실리콘 기반 인터포저는 구리 백엔드 파운드리 제조 공정을 사용하여 IC 패키지 내부에 1~2 μm 라인과 공간을 확보합니다. 이는 HBM 통신을 위한 매우 광범위한 병렬 데이터베이스를 구현하는 데 매우 중요한 역할을 했습니다. 여러 면에서, 2015 년부터 2018 년 사이에 이루어진 2.5D TSV 를 가능하게 하는 프로세스 개발이 새로운 종류의 고밀도 모듈 기반 제품들을 위한 기반을 마련했습니다. 이러한 새로운 접근 방식은 지난 몇 년 동안 설계 및 검증된 칩렛으로서 차세대 이중 집적 물결을 목표로 했습니다. TSV 노광 공정을 지원하기 위해 개발된 최신 공정 노하우 외에도 40-55 μm 범위의 범프 피치를 지원하기 위해 새로운 등급의 초소형 Cu pillar 범프가 필요했습니다. 이를 위해서는 고급 도금 도구와 화학 기술이 필요합니다.

위에서 언급한 많은 기반 기술은 그대로 사용되거나 확장되어 HDFO 및 브리지 기반 제품 개발과 같은 다른 고밀도 모듈과 교차하여 사용되었습니다 (그림 1).

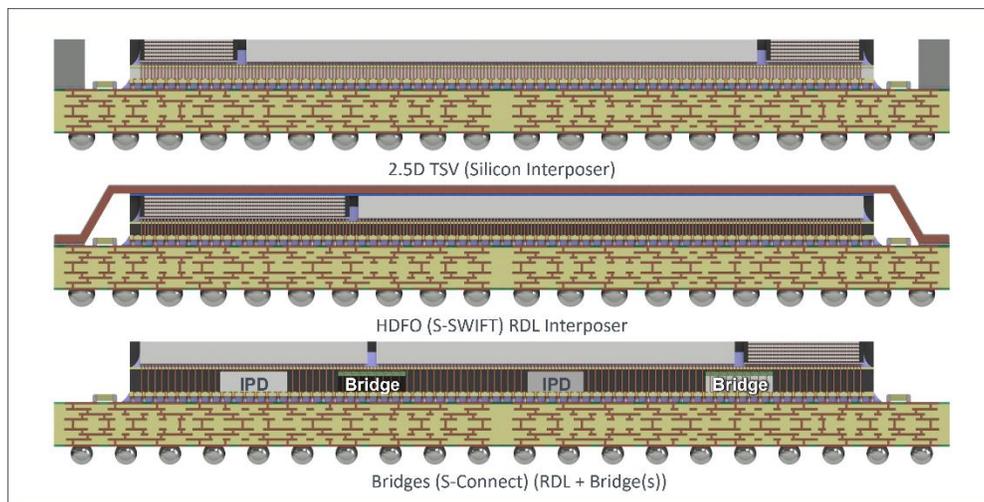


그림 1: 고밀도 모듈 기반 제품

HDFO

HDFO 인터포저를 기반으로 한 모듈은 내부적으로 인증을 받았으며 여러 고객 제품이 인증을 받고 있습니다. 당사 내부에서는 HDFO 를 S-SWIFT(Substrate Silicon Wafer Integrated Fan-out Technology)라는 용어로 부릅니다. HDFO 기술은 고성능 컴퓨팅 및 AI 부터 자동차 애플리케이션에 이르기까지 다양한 시장 및 사용 애플리케이션에 적용되고 있습니다. 칩렛 아키텍처는 HDFO 및 기타 모듈 기반 솔루션을 통해 가능해진 고급 패키징 설계 규칙을 견인하고 있습니다. 이 HDFO 인터포저의 제조는 칩 퍼스트(chip-first) 및 칩 라스트(chip-last) 구성 모두에서 지원됩니다. 각 제조 방법에는 장단점이 있으며, 대부분의 경우 최종 고객은 특정 흐름이나 구성에 대한 특정 요구 사항을 가질 수 있습니다.

칩 퍼스트는 말 그대로 모듈 제조 초기에 액티브 실리콘 칩을 배치하는 작업입니다. 칩은 웨이퍼 캐리어에 앞면이 위로 향하도록 부착되고, 활성 실리콘에 금속을 직접 연결하여 다층 RDL 공정이 완료됩니다. 칩 라스트는 RDL 을 먼저 제조한 후 솔더 조인트와 언더필을 사용하는 전통적인 칩 온 웨이퍼 조립 공정을 거칩니다. 모듈이 완성되면 비모듈 기반 제품과 유사한 방식으로 패키지 기판에 조립됩니다. **그림 2** 는 이 두 가지 접근 방식을 개략적으로 비교한 것입니다.

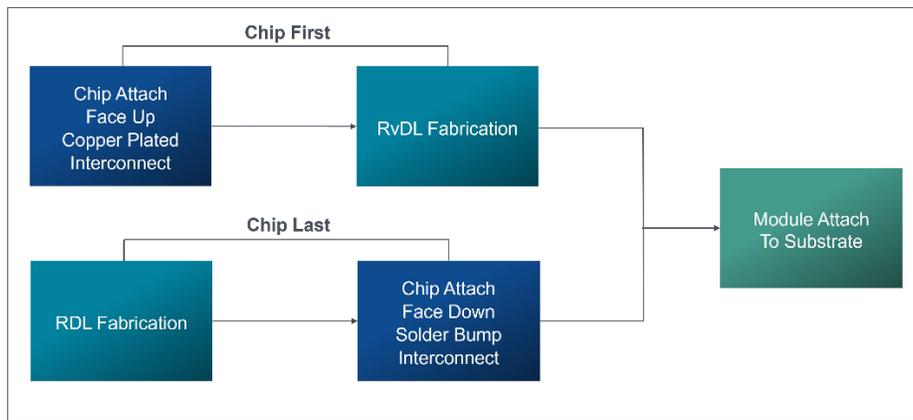


그림 2: 일반적인 칩 퍼스트 흐름과 칩 라스트 흐름

제품 인터셉트를 HDFO 로 고려할 때는 최종 제품의 설계 복잡도와 일치하는 테스트 차량(TV, Test vehicle)을 사용하는 것이 좋습니다. 이 TV 단계에서는 디자인 내 디자인 규칙의 계층 구조를 활용하여 HVM 디자인 규칙의 경계와 전반적인 프로세스 역량을 테스트할 수 있습니다. 이 프로세스는 첫 번째 제품 인터셉트에 대한 검증을 제공하고 차세대 요구 사항에 대한 첫 번째 점검을 제공합니다. 이러한 TV 설계는 다이 모서리, 다이 간격, 모듈 모서리, 스택 비아 등 과거에 응력이 높았던 영역을 테스트할 수 있는 일련의 데이지 체인을 활용합니다. 데이지 체인이 잘 정의되어 있으면 TV 개발 단계에서 마찬가지로 중요한 기계적 모델링 작업을 강화할 수 있는 전기 데이터를 얻을 수 있습니다. 예측 모델링은 프로그램 시작 시 설계 및 재료 선택에 대한 핵심 인사이트를 제공할

수 있으며, 개발 중 문제와 해결책을 식별하는 데 유용할 수 있습니다. 이 TV 개발 전략은 많은 성공적인 프로그램에서 사용되어 왔으며 적극 권장됩니다.

현재 당사의 SWIFT 기술은 1.5 마이크론 라인과 1.5 마이크론 간격을 가진 2~6 레이어의 모듈 설계를 지원할 수 있습니다. 이 기술을 통해 레티클 스티칭을 사용하여 레티클 크기보다 큰 모듈에서부터 작은 모듈까지 다양한 크기의 모듈을 지원할 수 있습니다. 그림 3 은 칩 라스트 방식으로 제작된 상단 다이 솔더 조인트가 있는 일반적인 6 레이어 RDL 모듈을 보여줍니다. 그림 4 는 기판 솔더 조인트에 대한 후속 모듈을 보여줍니다.

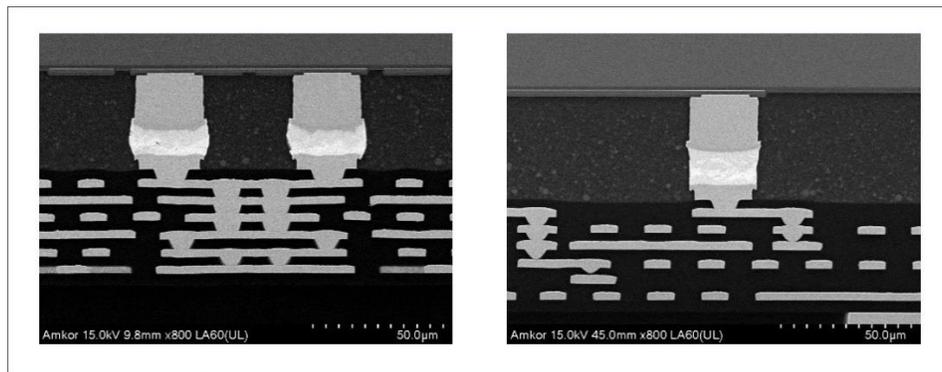


그림 3: HDFO 에 연결된 테스트 차량 다이

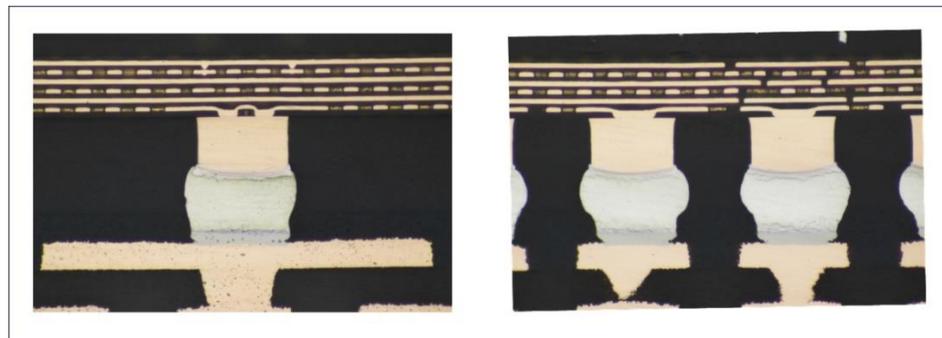


그림 4: 패키지 기판에 연결된 테스트 차량 HDFO 모듈

브리지

HDFO 의 다음 버전에서는 활성 실리콘 아래에 브리지 실리콘 및 기타 임베디드 구성 요소를 사용하여 3D 기능을 사용할 수 있습니다. HDFO 인터포저 제작에서 개발된 기본 구성 요소는 임베디드 브리징 구성 요소 또는 기타 장치를 포함하여 확장됩니다. 이러한 임베디드 구성 요소는 두 칩렛 사이와 같은 기본 초고밀도 라우팅 기능을 갖거나 IPD(Integrated passive device) 와 같은 활성 또는 비활성 구성 요소일 수 있습니다. 임베디드

실리콘 컴포넌트는 임베디드 컴포넌트를 통한 수직 연결을 허용하는 TSV 를 포함할 수도 있고 포함하지 않을 수도 있습니다.

이 새로운 구조를 촉진하려면 정확한 컴포넌트 배치, 높은 copper pillar 도금, 뒤틀림 제어를 포함한 몇 가지 주요 공정 기능이 필요합니다. 이 접근 방식을 사용하면 웨이퍼 팹의 고밀도 라우팅 기능을 활용하여 칩렛 간을 상호 연결할 수 있으므로 HDFO 인터포저의 RDL 레이어 수를 줄일 수 있습니다. 개별 구성 요소 기능을 추가하는 기능은 많은 고객에게 추가적인 이점을 제공합니다. 시장에서 S-Connect 이 인기 있는 이유는 크게 세 가지입니다. 첫째, 실리콘은 서브마이크론 라우팅 기능을 제공하여 시스템 설계를 위한 밀도 높은 라우팅을 가능하게 합니다. 둘째, 칩 간 연결에 브리지 다이를 사용하면 인터포저의 HDFO 라우팅에 필요한 레이어 수를 줄이고 전체 수율을 높일 수 있습니다. 마지막으로, 이 프로세스를 통해 실리콘 IPD 와 같은 성능 향상 비브리지 컴포넌트를 배치할 수 있어 활성 실리콘의 주요 영역에 더 가깝게 근접할 수 있습니다.

우리는 고객과 소통할 때 HDFO 와 S-Connect 간의 이해득실 분석을 고려합니다. 실리콘 브리지와 잠재적인 IPD 의 소성은 이 평가의 핵심 요소입니다. 이러한 컴포넌트의 공급은 활성 실리콘만큼이나 결정에 중요한 요소입니다. 업계에서는 수년 동안 2.5D TSV 모듈을 생산해 왔기 때문에 프로세스 성숙도가 핵심 요소입니다. 마찬가지로 HDFO 는 S-Connect 기술보다 더 성숙한 기술입니다. 이러한 성숙도 수준은 종종 고객의 의사 결정에 영향을 미칠 수 있습니다.

기판에 내장된 브리지 HDFO 모듈의 당사 버전(S-Connect)은 그림 5 에에서 확인할 수 있습니다. 앰코는 칩 리스트 비 TSV 브리지 TV 에 대한 내부 검증을 완료했으며, 여러 고객사와 함께 이러한 고급 기능을 활용할 계획을 세우고 있습니다.

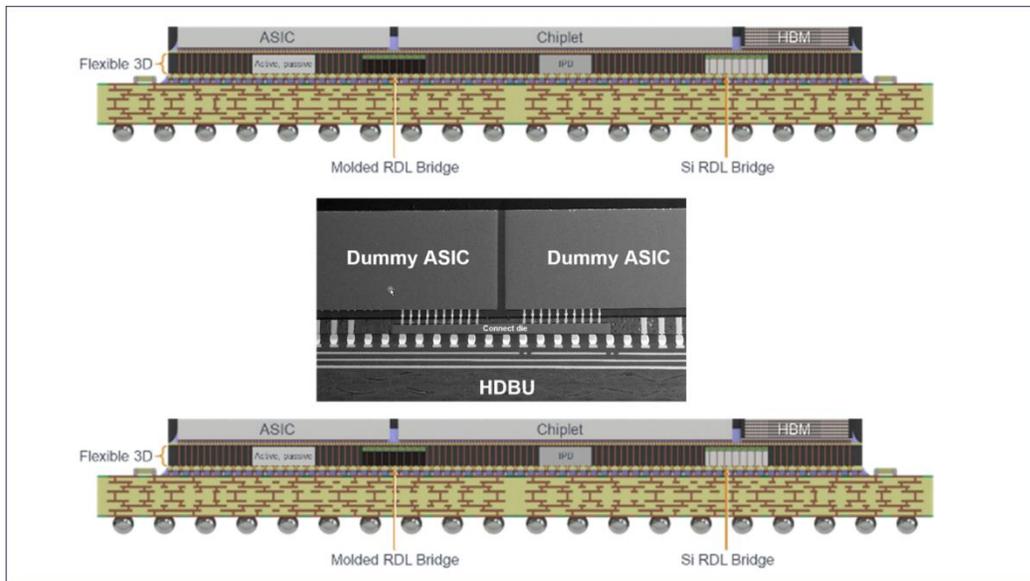


그림 5: 앰코의 S-Connect 기술

디자인 지원

스마트패키지(SmartPackage) 패키지 어셈블리 설계 키트(PADK)(그림 6)는 성공적인 공급망 경험을 위한 설계 레이아웃을 준비하는 데 이상적입니다. 다양한 대량 생산이나 고급 제조 및 조립 설계 규칙 요구 사항을 설계 흐름 과정 초기 단계에서 설계 레이아웃에 통합하는 능력은 공급망 지원 경로를 원활하게 진행하는 데 크게 기여할 수 있습니다. 특히 이 솔루션은 여러 전자 설계 자동화(EDA) 설계 도구와 호환되므로 여러 독립적인 설계 워크플로와 연계할 수 있는 기능을 더욱 확보할 수 있습니다.



그림 6: 앰코의 스마트패키지 PADK는 맞춤형 설계 규칙 요건을 세밀하게 조정했습니다.

현재 널리 사용되는 두 가지 디자인 워크플로는 Full-OSAT(Full-OSAT) 흐름과 OEM/팹리스 중심의 프로젝트 기반 디자인 프로세스가 있습니다. Full-OSAT 설계 워크플로에서는 고객의 지시에 따라 포괄적인 설계 서비스와 검증 승인을 제공합니다. OEM/팹리스 설계 워크플로에서는 패키지 레이아웃을 설계하고 제조 및 조립 프로세스를 위해 제작물을 제공하기 전에 검증 승인을 완료할 수 있는 기능이 필요한 사용자와 협업합니다.

스마트 패키지 PADK는 설계 규칙, 제조 및 조립 제약 조건을 EDA 및 CAM(Computer-aided manufacturing) 설계 툴에 정확하게 구현할 수 있으며 사용자는 설계 프로세스 초기에 설계 제약 조건을 신속하게 강조 표시하여 제품 설계 주기 수를 제한할 수 있습니다. 이러한 이점을 경험하려면 소프트웨어 및 하드웨어 인프라에 대한 일부 투자가 필요할 수 있습니다. 현재 설계 환경에 따라 고성능 Linux 서버를 채택해야 할 수 있습니다. 이 시스템은 제조를 위해 전달되는 제조 데이터에 대해 광범위한 제조 및 조립 설계 규칙의 제약 조건을 처리하는 임무를 맡게 됩니다.

앰코는 2016 년에 PADK 개발을 선도했습니다. 사용자들은 PADK 를 강력한 디바이스 개발 접근 방식의 일부로 통합하는 데 필요한 지원을 받게 됩니다. OSAT 는 패키지 디자인 레이아웃 방향에 대한 지침을 제시하고, 구체적인 애플리케이션 교육을 제공하며, 최신 소프트웨어를 사용하여 패키징 지식과 경험을 스마트패키지 PADK 요소에 통합할 수 있도록 지속적인 디자인 검토 지원을 제공합니다.

PADK(Package assembly design kit)의 어떤 요소가 설계 준비 상태에 가장 큰 영향을 미치나요? 일반적으로 세 가지 핵심 영역을 중심으로 강조할 수 있을 것입니다. 첫 번째는 EDA 시작점이 되는 데이터베이스, 두 번째는 DRC(Design rules constraint) 승인 검증, 세 번째는 연결 목록 요구 사항으로 생산 데이터의 유효성을 검사하는 기능입니다.

스마트패키지 PADK 의 특징은 디바이스 또는 디자인 레이아웃 요구 사항에 필요한 특정 맞춤형 디자인 규칙 요구 사항을 미세 조정할 수 있다는 점입니다. 고정된 노드 규칙 데크 시스템과 대비하여, 디바이스별 설계 규칙 데크의 이점은 검증 확인 보고서를 받기 위해 신중하고 광범위한 면제 조항을 제공할 필요가 없다는 것입니다.

Test

앰코는 2.5D TSV 개발 주기 초기부터 이종 집적 제품에 대한 테스트 서비스를 제공해 왔습니다. 테스트 차량을 설계하고 평가하는 체계적인 접근 방식을 통해 테스트 엔지니어는 실제 제품을 출시하기 전에 설계의 중요한 측면에 대한 테스트를 개발할 수 있습니다. 모든 이종 집적 칩렛 패키지에 공통적으로 적용되는 몇 가지 테스트 과제가 있습니다. 칩렛 상호 연결 무결성은 중요한 문제입니다.

패키지 내의 모든 칩렛에 신호와 전력을 전달하는 것은 제조 과정 중 신중한 레이아웃, 설계 및 테스트를 필요로 합니다(그림 7). 사용된 패키지 재료의 유형과 이 글 앞부분에서 설명된 패키지 구조는 칩렛과 패키지 수준에서 노출된 핀 사이의 인터커넥트 성능에 영향을 미칩니다. 이는 연속성, 누설 및 과도한 교류 타이밍, 임피던스 매칭 및 신호 교차 문제를 포함한 정적 연결 품질에 해당합니다. 각 칩렛의 열 성능 역시 생산 테스트에 영향을 줍니다. 균일하지 않은 칩렛 온도로 인한 열 경사는 불가피합니다. 신중하게 설계된 전체 제품 아키텍처에서, 테스트를 위한 설계(DFT, Design for test)는 제품의 모든 기능적 측면에 접근할 수 있어야 하며, 이는 중요한 고려 사항입니다.

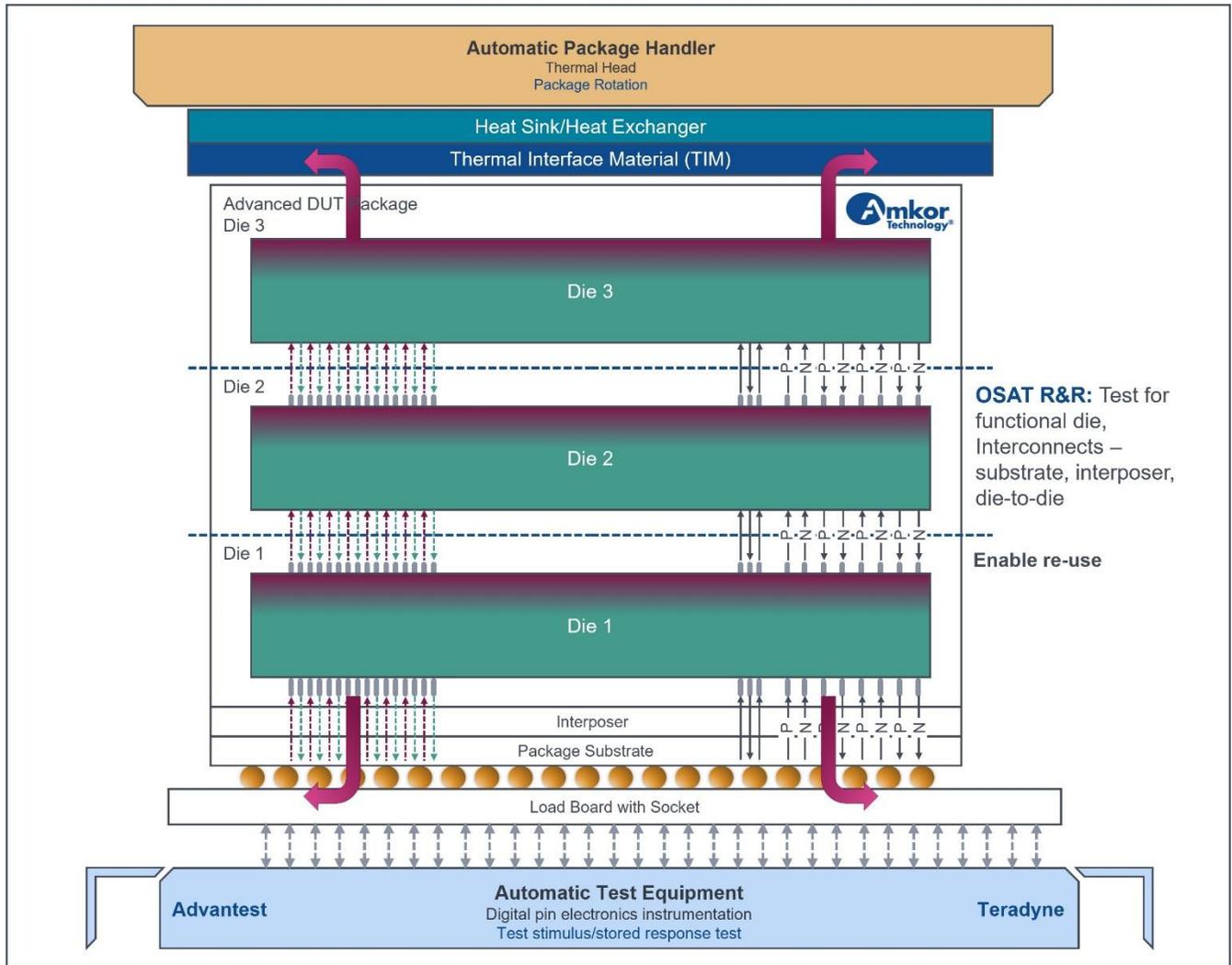


그림 7: 멀티 다이 패키지의 전력, 데이터 I/O, 바이어스 및 클럭에 대한 생산 테스트

IEEE1838[1]은 제품의 아키텍처 단계에서 도움이 되는 표준 중 하나입니다. 전체 생산 테스트를 위해서는 각 칩렛과 내부의 모든 기능 블록에 대한 테스트 액세스가 '필수'입니다.

IEEE - 1687 [2]은 반도체 장치 내부에 내장된 계측기에 접근하기 위한 테스트 방법론을 설명합니다. 전자 데이터 자동화(EDA, Electronic data automation) 공급업체들은 다이 내부에서 공정, 전압 및 온도(PVT, Process, voltage and temperature)와 같은 환경 속성을 모니터링하기 위한 지적 재산(IP) 블록을 정의했습니다. 이들은 로직 설계 내에 센서를 추가하는 개념을 가지고 있으며, 전체 제조 워크플로에 많은 이점을 가져다줄 수 있다는 사실을 문서화했습니다. 패키지 아키텍처와 설계 구현 내에서 열 밀도의 심각성과 민감성을 분석하기 위해서는 열 혼잡 부근에 PVT 센서 배치가 중요합니다. 이 센서들을 따로 패키지에 포함시키는 것보다 다이 내에 배치하는 것이 더 간단하고 비용 효율적입니다. 다양한 상황에서 원격 측정 데이터 스트림을 되돌려 받아 분석함으로써,

시뮬레이션과의 비교 검증을 가능하게 합니다. 그림 8은 모니터링용 패키지 환경 제어의 블록 표현을 보여줍니다.

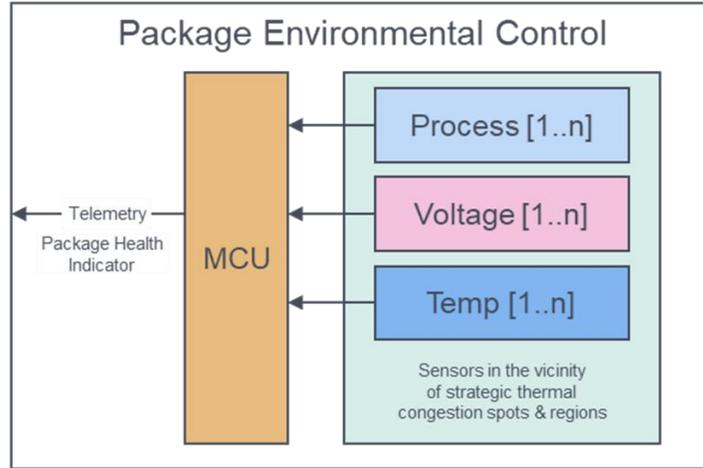


그림 8: 생산 테스트 프로세스를 포함하여 실제 작동 중에 원격 측정 스트림으로 패키지 상태를 모니터링할 수 있는 다양한 센서가 포함된 패키지 환경 제어의 블록 표현

OSAT로서, 생산 테스트 워크플로의 간소화는 우리 회사에 매우 중요합니다. 업계 전반의 테스트 방법론 표준화 노력이 이에 도움이 되고 있습니다. 예를 들어, UCle(Universal Chiplet Interconnect Express) 표준은 칩렛의 인터페이스 영역을 고정하도록 제한하고, 장소 배치와 경로 설정을 간소화하고 상호 운용성을 향상시킵니다.

UCle 표준은 또한 중복성 복구와 온-칩렛 미션 모드 아이(eye) 특성화 및 마진 설정에 대한 설계 지침을 포함합니다 (그림 9). 중복성 복구는 이 기능이 없었다면 불합격이 될 수 있는 패키지의 수율을 회복하는 데 도움을 줍니다. 생산 테스트에서의 아이 마진 기능은 제품 설계자와 디자이너가 공정 변동을 모니터링하고 세대를 거쳐 시스템적인 개선을 할 수 있게 합니다.

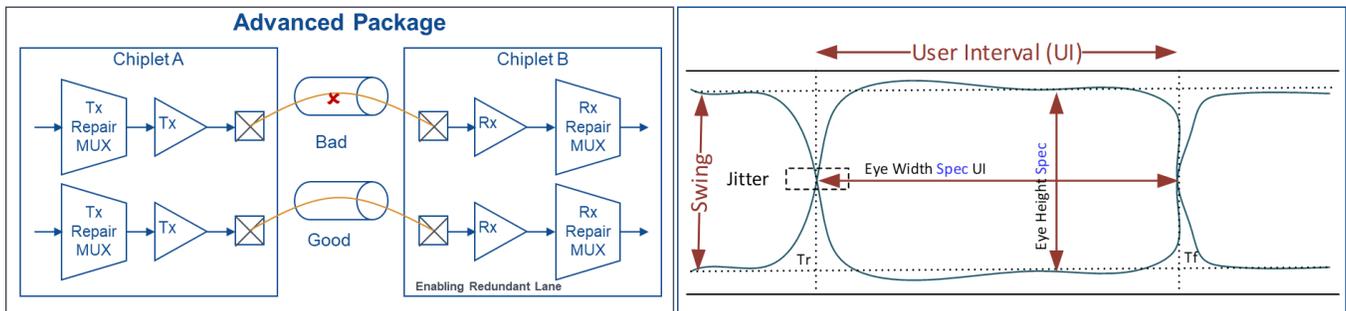


그림 9: 표준은 중복된 레인과 온-칩렛 미션 모드 아이 특성화 및 마진 설정에 대한 규정을 주도하고 있습니다.

제어, 관리 및 반복 가능한 생산 테스트 환경은 향후 제품 설계 반복에 대한 정확한 피드백과 일관된 수율을 보장합니다. 테스트, 패키지 처리 및 광학 검사 공급망은 식별된 모든 문제 요소를 고려하여 측정 기술을 지속적으로 개선하고 있습니다.

열 방출

전력 밀도의 지속적인 증가로 인해 더 많은 기능성 실리콘을 더 작은 부피에 통합하는 것은 전력 손실 경로에 대한 세심한 주의를 필요로 합니다. 이를 지원하기 위해 앰코는 최적화된 패키지 레벨 솔루션을 개발하고 있습니다. 폴리머 기반의 TIM(Thermal interface materials)는 여전히 중요하지만, 높은 전력 수준에서는 2.5D TSV, HDFO, 브리지 모듈 등을 포함한 금속성 TIM 이 필요할 수 있습니다. 이는 현재 활발한 연구 및 개발 분야입니다.

요약

이중 집적 칩렛 기반 통합으로의 전환은 이미 잘 진행되고 있으며, 칩렛 접근법의 가치 제안은 컴퓨팅 및 AI 시장 공간에서의 최근 성공적인 시장 진출을 통해 명확해졌습니다. 이중 집적 및 칩렛 기반 IC 패키징은 이러한 진화의 핵심 요소로, 2.5D TSV, HDFO 및 브리지 접근 방식은 이러한 통합에 대한 비용 효율적인 경로를 제공합니다.

안내

SWIFT 는 앰코테크놀로지 주식회사의 등록상표입니다. S-SWIFT 및 스마트패키지는 앰코테크놀로지 주식회사의 상표입니다. UCle(Universal Chiplet Interconnect Express)는 유니버설 칩렛 인터커넥트 익스프레스의 상표입니다.

참고자료

1. "3 차원 적층 집적 회로의 테스트 액세스 아키텍처에 대한 IEEE 표준", IEEE Std 1838-2019, vol., no., 1-73 페이지, 2020 년 3 월 13 일, DOI: 10.1109/IEEESTD.2020.9036129.
2. "반도체 장치에 내장된 계측기의 액세스 및 제어를 위한 IEEE 표준", IEEE Std 1687-2014, vol., no., 1-283 페이지, 2014 년 12 월 5 일, DOI: 10.1109/IEEESTD.2014.6974961.

약력



Mike Kelly 는 애리조나주 템피 소재 앰코테크놀로지 주식회사의 칩렛/FCBGA 통합 부문 이사입니다. Mike 는 2005 년 입사 이래 EMI 차폐, 열 강화 패키지, 센서, 2.5D TSV 와 고밀도 팬아웃(HDFO)을 비롯한 고밀도 MCM 패키지를 위한 패키지 개발을 주도해왔습니다. 그는 25 년 동안 전자 및 IC 패키지 설계 및 제조 분야에 종사했습니다. 또한 반도체 분야에서 40 개 이상의 특허를 보유하고 있으며, 기계 및 화학 공학 석사 학위를 받았습니다. 이메일 Mike.Kelly@amkor.com.



Davie Hiner 는 애리조나주 템피 소재 앰코테크놀로지 주식회사의 패키지 개발 수석입니다. Dave 는 1997 년 앰코에 입사하여 품질, 기판 기술, 고급 인터커넥트 및 웨이퍼 레벨 패키지 개발 분야에서 다양한 관리직을 역임했습니다. 그는 조립 및 포장 업계에서 30 년 이상 근무했습니다. David 는 반도체 패키징 분야에서 22 개의 특허를 보유하고 있으며, 애리조나 주립대학교에서 화학 공학 학사 학위를, 피닉스 대학교에서 MBA 를 받았습니다.

앰코테크놀로지에 대한 자세한 내용은 다음 사이트를 참조하십시오: <https://amkor.com/kr/>.