チップレットと異種 IC パッケージングに向けたサプライチェーンの準備

著者：Mike Kelly, Dave Hiner, Ruben Fuentes, Jonathan Micksch, Vineet Pancholi [Amkor Technology, Inc.]

異種デバイス集積（HI）とチップレットを使用する製品が登場し、生産段階にあります。現在では、より多くの製品と顧客が、アウトソーシングされた半導体アセンブリおよびテストサプライヤー（OSAT）とファウンドリプロバイダーで製品を開発し、認定する傾向にあります。

プロセッサとメモリの組み合わせは何年も前から存在しており、この流れがハイエンドではプロセッサと高帯域幅メモリ（HBM）の採用に結実し、人工知能（AI）アルゴリズムトレーニングの急成長市場に対応しています。現在では、ダイの機能をチップレットに分割することで、将来の設計により広範で強力な影響を与えることが可能になりました。チップレットのアプローチにより、魅力的なコストポイントを維持しつつ製品のパフォーマンスを向上させることができます。小型チップレットの歩留まりが向上し、シリコンプロセスノードの混合でシリコンのコストをさらに最適化できるため、シリコンの総コストを下げることができます。ヘテロジニアスおよびチップレットアプローチ用の集積回路（IC）パッケージングはより高価となりますが、こうしたパッケージコストの上昇は、総シリコンコストの削減と市場投入までの時間といった有利な利点により相殺されます。

チップレットと HI 実装へ移行するには、IC とパッケージの設計、IC とパッケージの製造、電気的テストのための新しいインフラストラクチャを確立する必要がありました。設計ツールは、2D および 3D の物理構成、機能デバイスの電気テスト（E-Test）、より高い電力密度の複数の IC に対処する必要があります。チップレットやヘテロジニアス構造をサポートする IC パッケージングは、近年、OSAT やファウンドリにとって主要な焦点となっています。マルチダイ製品は 1 つの機能ユニットに統合する必要がありますが、このような統合は、より高密度の統合アプローチ、つまりウェハースケール（チップオンウェハー、CoW）高密度モジュールおよび高密度マルチチップモジュール（MCM）、あるいはその両方を使用して実現されます。その後、高密度モジュールが、既存のシステム・オン・チップ（SoC）フリップチップ・ボール・グリッド・アレイ（FCBGA）パッケージと同様の生産環境で IC パッケージ基板に取り付けられますが、この過程でいくつかの重要なカスタマイズが行われます。

現在、製造と開発の両方で採用されているパッケージング手法には、1）シリコンインターポーザに依存する 2.5D シリコン貫通ビア（TSV）モジュール（2.5D TSV）、2）高密度ファンアウト（HDFO）多層再配線層（RDL）アプローチを利用するモジュール、3）ブリッジを備えたモジュールがあります。これらの 2 次元構造は、ディスクリートダイの組み合わせだけでなく、ディスクリートダイと 3D ダイスタックの組み合わせにも使用できます。以下のセクションでは、まず 2.5D TSV から始め、変化する現在の状況について説明します。

2.5D TSV シリコンインターポーザ

2.5D TSV については、2017 年から Amkor で大量生産（HVM）を行っています。このプロセスフローは、ファウンドリの 1 社から供給される厚いインターポーザウェハーから始まり、Cu TSV を露出させるための薄化、無機パッシベーション工程、アンダーバンプメタライゼーション（UBM）、インターポーザの裏面バンプ形成と続く、完全な「TSV 露出」機能へと続きます。

この製品分野では、HBM2、HBM2e、HBM3 などの高帯域幅 DRAM メモリ（HBM）と組み合わせて動作する高性能プロセッサが主流です。2.5D TSV は、高密度モジュールを使用してプロセッサと DRAM をパッケージ自体に統合できる最新のヘテロジニアス統合の 1 つです。シリコンベースのインターポーザは Cu バックエンドファウンドリ製造プロセスを使用しており、これにより IC パッケージ内に 1～2µm のラインとスペースの確保が可能になります。HBM 通信用の非常に広範な並列データベースを実現するにはこれが重要でした。多くの点で、2015 年から 2018 年にかけて行われた 2.5D TSV を可能にするこうしたプロセス開発が、新たなクラスの高密度モジュールベースの製品の舞台となりました。これらの新しいアプローチは、ここ数年で設計と認定が行われていたチップレットとしての異種集積の次の波を狙ったものでした。TSV 露出プロセスをサポートするために開発された最新の処理ノウハウに加え、40～55µm の範囲のバンプピッチを実現するには、新たなクラスの超小型 Cu ピラーバンプが必要でした。これには、高度なメッキツールと化学薬品が必要となります。

上述の基礎技術の多くは、そのまま使用されるか、HDFO やブリッジベースの製品開発など他の高密度モジュールと併用して使用されています（ 図 1 ）。

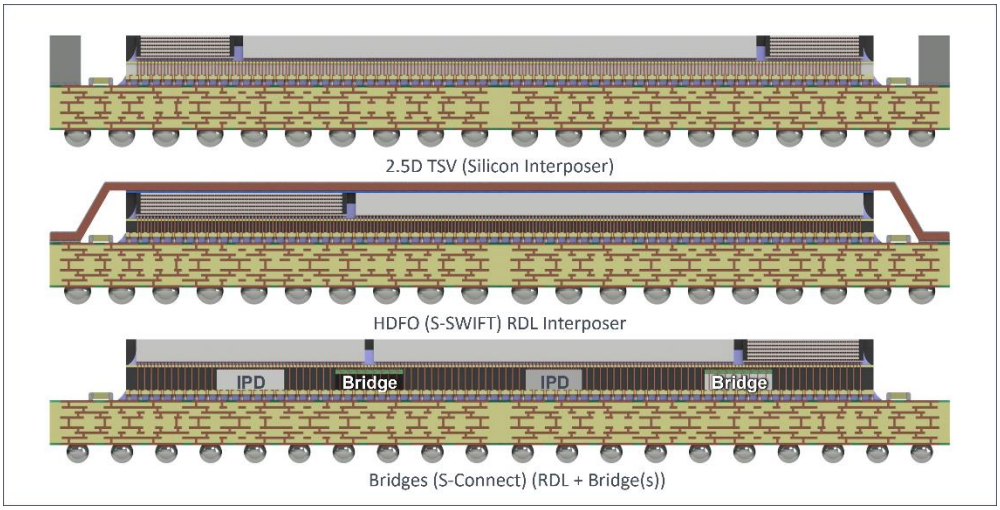

図 *1*：高密度モジュールベースの製品

HDFO

HDFO インターポーザに基づくモジュールは社内認定されており、当社の顧客の製品のいくつかは現在認定中です。HDFO は当社内では S-SWIFT（Substrate Silicon Wafer Integrated Fan-out Technology）と呼ばれています。HDFO テクノロジ

ーは、高性能コンピューティングや AI から車載用途などに至るまで、多くの市場や用途に適用されています。チップレットアーキテクチャは、HDFO やその他のモジュールベースのソリューションによって実現される高度なパッケージング設計ルールの推進につながっています。この HDFO インターポーザの製造は、チップファースト構造とチップラスト構造の両方でサポートされています。これらの製造方法にはそれぞれ長所と短所があり、多くの場合、最終顧客は特定のフローや構造に対して特定の要求をする可能性があります。

チップファーストとは、簡単に言うと、モジュール製造の開始時にアクティブシリコンチップを配置することを指します。チップはウェハーキャリアに表向きに取り付けられ、多層 RDL プロセスはアクティブシリコンへの直接金属接続で完了します。チップラストの場合には、最初に RDL を製造し、その後、はんだ接合部とアンダーフィルを使用した従来のチップオンウェハー組立プロセスが続きます。モジュールが完成すると、非モジュールベースの製品と同様の方法でパッケージ基板に組み立てられます。図 2 は、これら 2 つのアプローチを大まかに比較したものです。

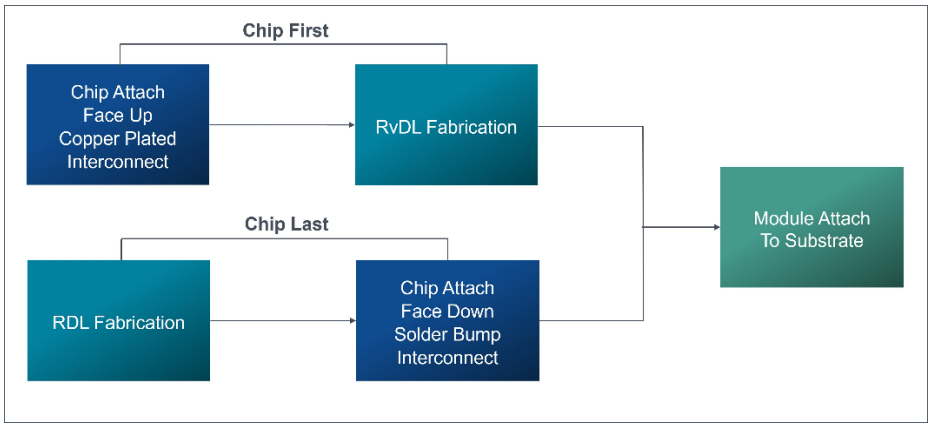

図 *2:* 一般的なチップファーストフローとチップラストフロー

HDFO への製品インターセプトを検討する際には、 最終製品の設計の複雑さに合ったテスト車両（TV）の使用を推奨します。この TV フェーズでは、設計に含まれる設計ルールの階層を利用して、HVM 設計ルールの範囲と全体的なプロセス能力をテストできます。このプロセスでは最初の製品インターセプトを検証し、次世代の要件を最初にチェックします。これらの TV 設計は、ダイコーナー、ダイギャップ、モジュールコーナー、スタックビアなど、過去の高ストレス領域をテストできる一連のデイジーチェーンを利用しています。明確に定義されたデイジーチェーンを持つことで、開発の TV 段階にとって同様に重要な機械モデリング作業を強化できる電気データを得ることができます。予測モデリングは、プログラムの開始時に設計と材料の選択に関する重要な洞察を提供し、開発中の課題と解決策を特定する上で役立ちます。この開発のための TV 戦略は、成功を収めた多数のプログラムで採用されており、強くお勧めします。

当社の現在の SWIFT 技術は、1.5 ミクロンのラインと 1.5 ミクロンのスペース、2 層から 6 層までの層数のモジュール設計をサポートすることができます。モジュールサイズは、小さなモジュールから、レチクルステッチングを使用したレチクルサイズより大きなモジュールまで対応可能です。図 3 は、トップダイのはんだ接合部がチップラストアプローチで製造された典型的な 6 層 RDL モジュールを示しています。図 4 は、それに続くモジュールと基板のはんだ接合部です。

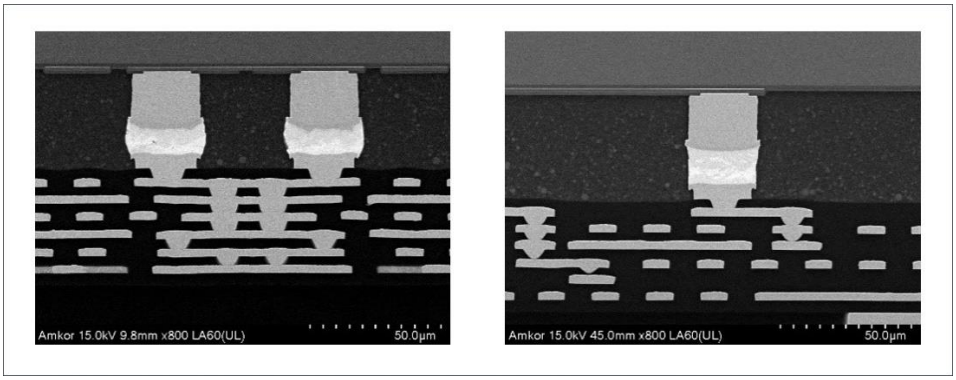

図 *3*：*HDFO* に接続されたテスト車両のダイ

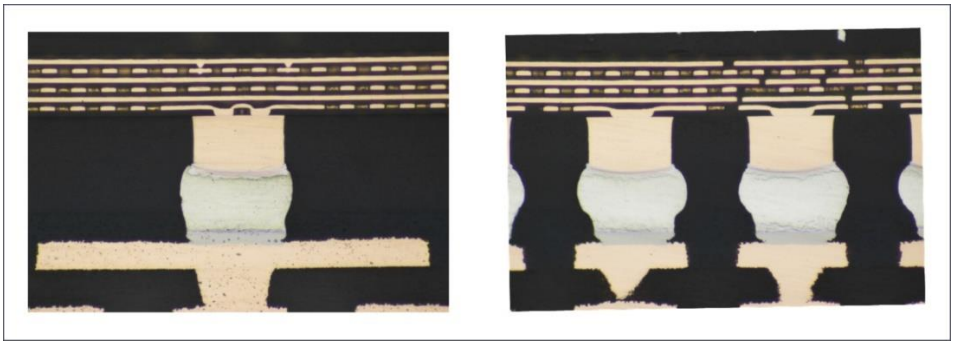

図 *4*：パッケージ基板に接続されたテスト車両の *HDFO* モジュール

ブリッジ

HDFO の次の段階では、アクティブシリコンの下にブリッジシリコンとその他の埋め込みコンポーネントを使用して 3D 機能を実現します。HDFO インターポーザの製造で開発された基本的な構成要素に埋め込みブリッジコンポーネントなどのデバイスを含めて拡張します。これらの組み込みコンポーネントは、2 つのチップレット間などの基本的な超高密度ルーティング機能を備えたり、統合受動デバイス（IPD）などのアクティブまたは非アクティブコンポーネントにすることができます。埋め込みシリコンコンポーネントには、埋め込みコンポーネントを介した垂直接続を可能にする TSV が含まれる場合もそうでない場合もあります。

この新しい構造を促進するには、正確なコンポーネントの配置、高さのある銅柱メッキ、反りの制御など、いくつかの重要なプロセス能力が必要です。このアプローチを使用すると、ウェハー工場からの高密度配線機能を利用してチップレット間を相互接続することができ、HDFO インターポーザの RDL 層数を削減できます。ディスクリートコンポーネントの機能を追加できることは、多くのお客様にとってさらなる利点となります。市場における S-Connect の主な推進要因は 3 つあります。まず、シリコンはサブミクロンの配線機能を提供できるため、システム設計のより高密度な配線が可能になります。次に、チップ間接続にブリッジダイを使用することでインターポーザの HDFO 配線の層数要件が軽減され、全体の歩留まりが向上します。最後に、このプロセスにより、シリコン IPD などの性能を向上させる非ブリッジコンポーネントの配置が可能になり、アクティブシリコンの主要領域にさらに近づけることができます。

お客様とのやり取りにおいては、HDFO と S-Connect の間のトレードオフ分析を考慮します。この評価では、シリコンブリッジと潜在的な IPD の調達が重要な要素となります。これらのコンポーネントの供給は、アクティブシリコンと同様に意思決定にとって重要です。業界では長年にわたって 2.5D TSV モジュールの生産が行われてきたため、プロセスの成熟度は重要な要素です。また、HDFO は S-Connect 技術よりも成熟しています。こうした成熟度レベルがお客様の意思決定に影響する可能性は大いにあります。

基板上の埋め込みブリッジ HDFO モジュールの当社バージョン（S-Connect）を図 5 に示します。当社は、チップラスト非 TSV ブリッジ TV の社内認定を完了し、これらの高度な機能を利用する計画について複数の顧客と協力しています。

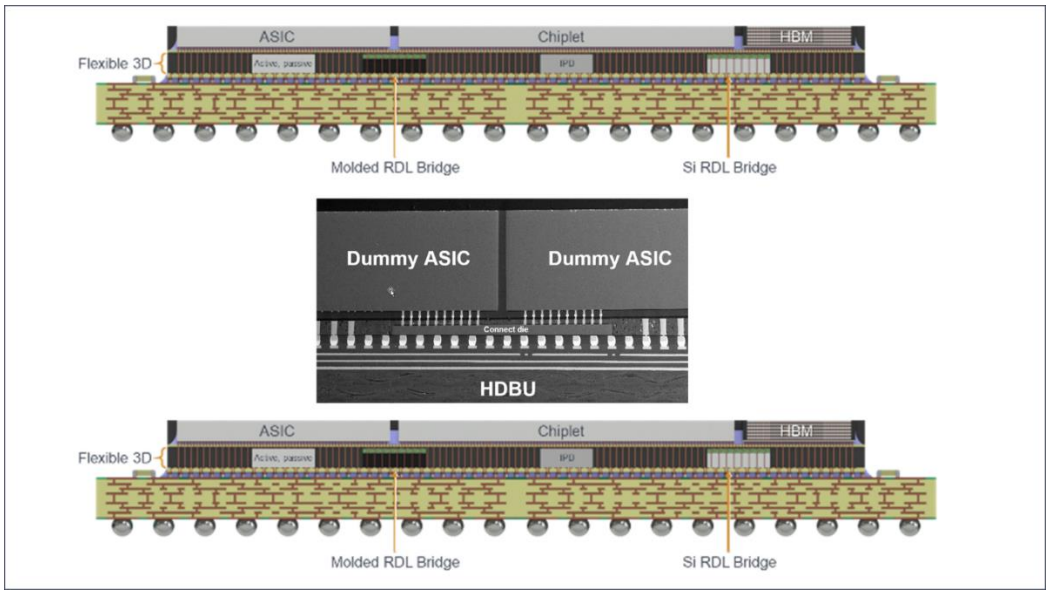

図 5：*Amkor の S-Connect テクノロジー*

設計支援

当社の SmartPackage パッケージ組立設計キット（PADK）（図 6）は、サプライチェーン体験を成功させる設計レイアウトの準備に最適です。設計フロープロセスの早い段階で大量生産や高度な製造・組立設計ルール要件を設計レイアウトに組み込むことができるため、サプライチェーンのサポートパスを円滑に進めることができます。とりわけ、このソリューションは複数の電子設計自動化（EDA）設計ツールと互換性があり、多くの独立した設計ワークフローと連携する能力をさらに確かなものにします。

図 6：*Amkor の SmartPackage PADK* はカスタマイズされた設計ルール要件を微調整

現代の実務においては、フル OSAT フローと OEM/ファブレスに焦点を当てたプロジェクトベースの設計プロセスの 2 つの設計ワークフローが広く普及しています。フル OSAT 設計ワークフローでは、お客様の指示に従って包括的な設計サービスと検証サインオフを行います。OEM/ファブレス設計ワークフローでは、パッケージレイアウトの設計を選択したユーザーと協力し、製造・組み立てプロセスのために生産用データを当社に提供する前に、検証サインオフを確定する機能を必要とします。

SmartPackage PADK を使用することで、設計ルール、製造・組立制約を EDA および CAM 設計ツールに正確に実装し、設計プロセスの早い段階で設計制約を迅速に強調することができるため、製品設計サイクルの回数を制限することができます。これらの利点を体験するには、ソフトウェアとハードウェアのインフラストラクチャへのある程度の投資が必要になる場合があります。現在の設計環境によっては、高性能の Linux サーバーの導入が必要となる場合があります。このシステムは、製造に使用される製造データに対して広範な製造・組立設計ルールの制約を実行する役割を果たします。

当社は、2016 年に PADK の開発にいち早く取り組みました。ユーザーは、デバイス開発アプローチの堅牢なコンポーネントとして PADK を統合するためのサポートを受けることができます。OSAT は、パッケージデザインのレイアウトの方向性に関するガイドラインを提供し、特定のアプリケーショントレーニングを行い、最新のソフトウェアを使用してパッケージングの知識と経験を SmartPackage PADK 要素に組み込むことで、継続的な設計レビュー支援を提供します。

パッケージ組立設計キットのうち、どの要素が設計準備に最も大きな影響を及ぼすでしょうか。通常は 3 つの主要領域に重点が置かれます。1 つ目は EDA スタートポイントデータベース、2 つ目は設計ルール制約（DRC）サインオフ検証、3 つ目は接続リスト要件を使用して本番データを検証する機能です。

SmartPackage PADK の特長は、デバイスや設計レイアウトのニーズに必要な特定のカスタマイズされた設計ルール要件を微調整できる機能にあります。固定ノードのルールデッキシステムと比較したデバイス固有の設計ルールデッキの利点は、合格検証レポートを受けるために慎重かつ広範な免除を提供する必要がないことです。

テスト

当社は、2.5D TSV の開発サイクルの開始時から、ヘテロジニアス製品のテストサービスを提供してきました。テスト車両の設計と評価の体系的なアプローチにより、テストエンジニアは実際の製品の前に設計の重要な側面に対するテストを開発できます。すべての異種チップレットパッケージに共通するテスト上の課題がいくつかあり、チップレット相互接続の整合性が重要となります。

パッケージ内のすべてのチップレットに信号と電力を供給するには、製造プロセス中に慎重なレイアウト、設計、テストを行う必要があります（図 7）。使用されるパッケージ材料の種類と、この記事で前述したパッケージ構造は、パッケージレベルで公開されるチップレットとピン間の相互接続性能に影響します。これには、連続性を伴う静的接続品質、リークおよび過渡 AC タイミング、インピーダンス整合、信号クロストークが含まれます。各チップレットの熱性能も生産検査に影響を与えます。チップレット温度の不均一による温度勾配は避けられません。入念に設計された製品アーキテクチャ全体において、テスト用設計（DFT）は製品のすべての機能的側面にアクセスできるため、これは重要な考慮事項となります。

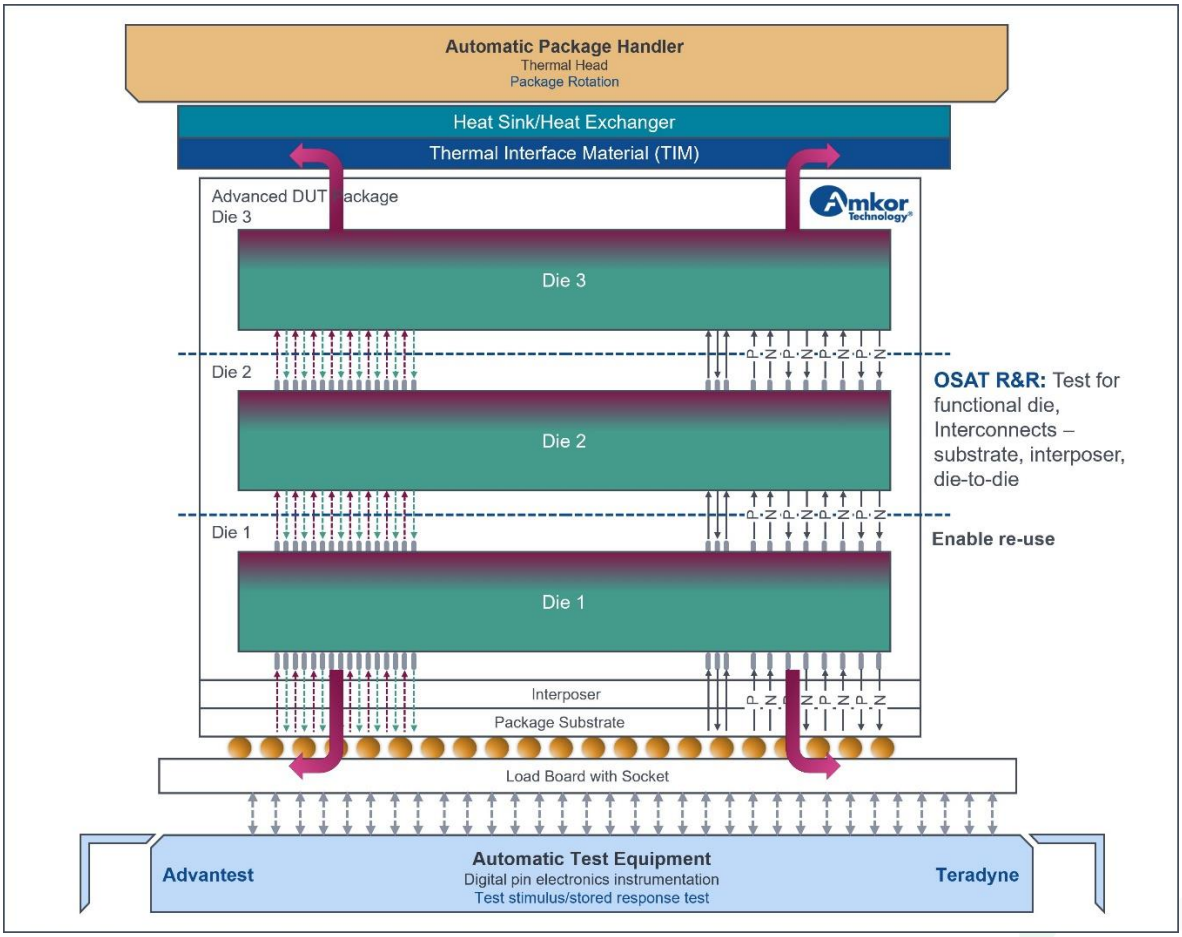

図 7：マルチダイパッケージの電源、データ I/O、バイアス、クロックの生産検査

IEEE1838 [1] は、製品のアーキテクチャ段階で役立つ標準の一例です。各チップレットとその中にあるすべての機能ブロックへのテストアクセスは、完全な生産検査を可能にするために「必須」となります。

IEEE - 1687 [2] は、半導体デバイスに注入されたイオンにアクセスする装置の試験方法を説明しています。電子データ自動化（EDA）ベンダーは、プロセス、電圧、温度（PVT）などの環境属性をダイ上で監視するための知的財産（IP）ブロックを定義しています。同様に、ロジック設計にセンサーを追加するという概念もあり、製造ワークフロー全体に対する多くの利点が文書化されています。熱輻輳の近くに PVT センサーを配置することは、パッケージアーキテクチャと設計実装における熱密度の深刻度と感度を解析するために不可欠です。これらのセンサーをパッケージに個別に含めるよりも、ダイ内に散りばめる方が簡単で費用対効果が高くなります。さまざまなコーナーケースでのテレメトリストリームが読み戻され、シミュレーションに対する検証を可能にするために分析されます。図 8 は、監視用のパッケージ環境制御のブロック表現を示しています。

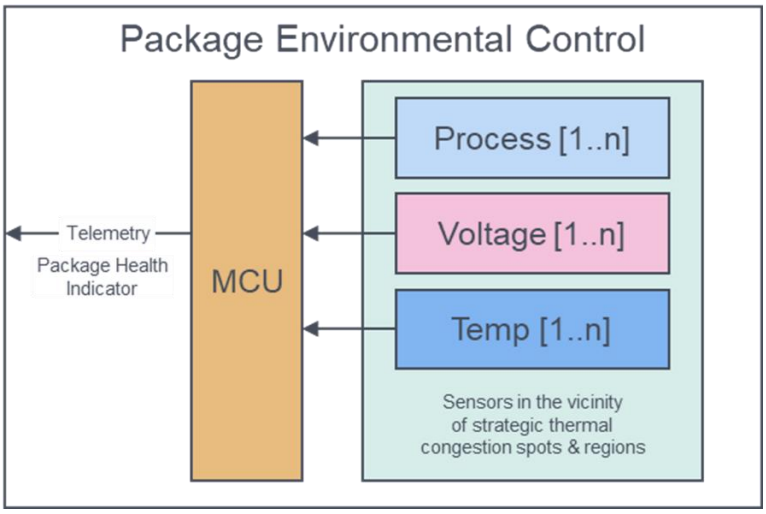

図 *8*：生産検査工程を含むアクティブオペレーション中にパッケージの健全性を監視するための
テレメトリストリームを可能にするさまざまなセンサーを備えたパッケージ環境制御のブロック図

OSAT である当社にとり、本番テストのワークフローの簡素化は不可欠です。業界全体のテスト手法の標準化の取り組みが役立っており、例えば、 Universal Chiplet Interconnect Express（UCIe）規格には、境界線を固定するチップレットの制約が含まれています。これにより、配置配線の簡素化と相互運用性が実現します。

UCIe 規格には、冗長性修復とチップレット上のミッションモードアイの特性評価とマージニングに関する設計ガイドラインも含まれています（図 9）。冗長性修復により、この機能がなければ達成不可能であったパッケージの歩留まり回復が実現できます。生産検査におけるアイマージニング機能により、製品アーキテクトと設計者はプロセスのばらつきを監視し、世代ごとに体系的な改善を行うことができます。

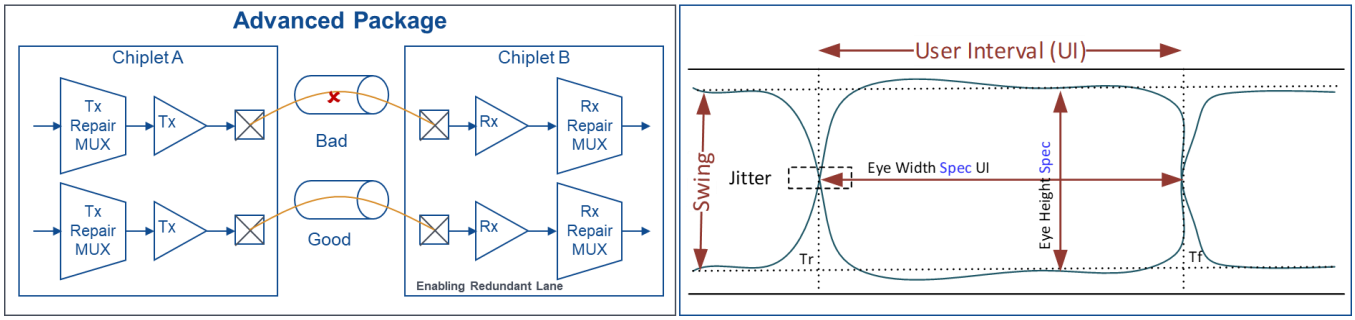

図 9：冗長レーン、オンチップミッションモードアイの特性評価とマージニングの規定は標準規格によって推進されている

制御され、管理され、再現性のある生産検査環境により、将来の製品設計の反復と一貫した歩留まりのための正確なフィードバックが保証されます。テスト、パッケージの取り扱い、光学検査のサプライチェーンでは、特定されたすべての故障ピンチポイントを考慮して計測技術を改良し続けています。

熱に関する考慮事項

電力密度は増加し続けており、より高機能なシリコンをより小さな体積に収めるには、消費電力経路に細心の注意を払う必要があります。当社では、この取り組みを支援するために、最適化されたパッケージレベルソリューションを開発しています。ポリマーベースの熱伝導材料（TIM）は引き続き主力ですが、ハイエンドの電力レベルでは、2.5D TSV、HDFO、ブリッジモジュールなど、冶金 TIM が必要になる場合があります。この分野では活発な開発が続けられています。

概要

異種チップレットベースの統合への移行は順調に進んでいます。チップレットアプローチの価値提案は強力であり、これはコンピュートおよび AI 市場への最近の参入の成功が実証しています。異種およびチップレットベースの IC パッケージングはこの進化において重要な役割を担っており、2.5D TSV、HDFO、ブリッジアプローチは、これらの統合にコスト効率の高いパスを提供します。

謝辞

SWIFT は Amkor Technology, Inc.の登録商標です。S-SWIFT および SmartPackage は Amkor Technology, Inc.の商標です。UCIe は Universal Chiplet Interconnect Express の商標です。

参考資料

1. “IEEE Standard for Test Access Architecture for Three-Dimensional Stacked Integrated Circuits," IEEE Std 1838-2019, vol., no., pp.1-73, 2020 年 3 月 13 日, DOI: 10.1109/IEEESTD.2020.9036129.

2. “IEEE Standard for Access and Control of Instrumentation Embedded within a Semiconductor Device," IEEE Std 1687-2014, vol., no., pp.1-283, 2014 年 12 月 5 日, DOI: 10.1109/IEEESTD.2014.6974961.

人物紹介

Mike Kelly は、アリゾナ州テンピに拠点を置く Amkor Technology, Inc.のチップレット/FCBGA 統合担当バイスプレジデントです。2005 年に Amkor に入社し、EMI シールド、熱特性が強化されたパッケージ、センサー、および 2.5D TSV と高密度ファンアウト（HDFO）を含む高密度 MCM パッケージについて、パッケージ開発を主導してきました。エレクトロニクスおよび IC パッケージの設計と製造に 25 年間携わり、この分野で 40 以上の特許を取得しており、機械工学および化学工学の修士号を取得しています。メールアドレス：Mike.Kelly@amkor.com

Dave Hiner は、アリゾナ州テンピに拠点を置く Amkor Technology, Inc.のパッケージ開発ディレクターです。1997 年に Amkor に入社し、品質、基板技術、先端相互接続、ウェハーレベルパッケージ開発など、さまざまな管理職を歴任してきました。組立・パッケージング業界で 30 年以上のキャリアを有します。半導体パッケージングで 22 件の特許を取得しており、アリゾナ州立大学で化学工学の学士号、フェニックス大学で MBA を取得しています。

Amkor Technology の詳細： https://amkor.com/jp/