

バーンインテストサービス

Amkor Technology, Inc. WW テストサービス テスト技術担当 Sr Director Vineet Pancholi

はじめに

製品テストフローの中で、バーンイン（BI）はお客様に優れた品質と正しく機能する製品を保証するために、なくてはならないステップのひとつです。Amkor は、「お客様にお届けする品質」を最高の企業理念と考えています。図 1 を参照。

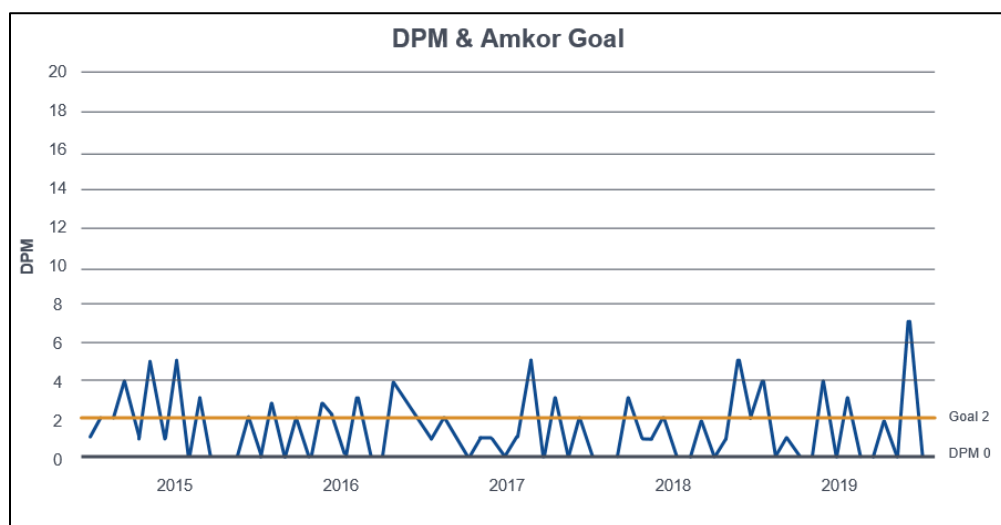


図 1：過去 5 年間の 100 万ピース当たりの不良数（DPM）および目標値

バーンインを受けた集積回路（IC）は、バーンインを受けていない IC に比べて、不良率が非常に低いです。そのため、バーンインテストを含めたサービスをお客様のオプションとして利用できるようにすることが推奨されています。

バスタブ曲線およびバーンインの影響

製品の不良率は、図 2 の A のように最初は高く、最終的には B のように一定のレベルまで下がることが明らかにされています。メーカーはバーンインを使用して、製品がお客様に出荷される前に初期不良の原因となるデバイスを取り除きます。高電圧や高温などでの加速寿命試験により IC の初期不良を取り除きます。初期不良を母集団から取り除けたとしても、決してなくなるわけではありません[1]。また、数多くの製品のバーンインを行っても、すべての不良を完全になくすことはできません。製品の耐用年数

(B)における故障は、性質上ランダムなものであり、システムの製造や設計に関連した不良であるとは断定できません。

耐用年数の終わりが近づくと再び不良率の増加が見られます。この不良率の増加（図2のC）は、酸化物の劣化、エレクトロマイグレーション、時間依存の誘電破壊などの影響によるものです[2]。

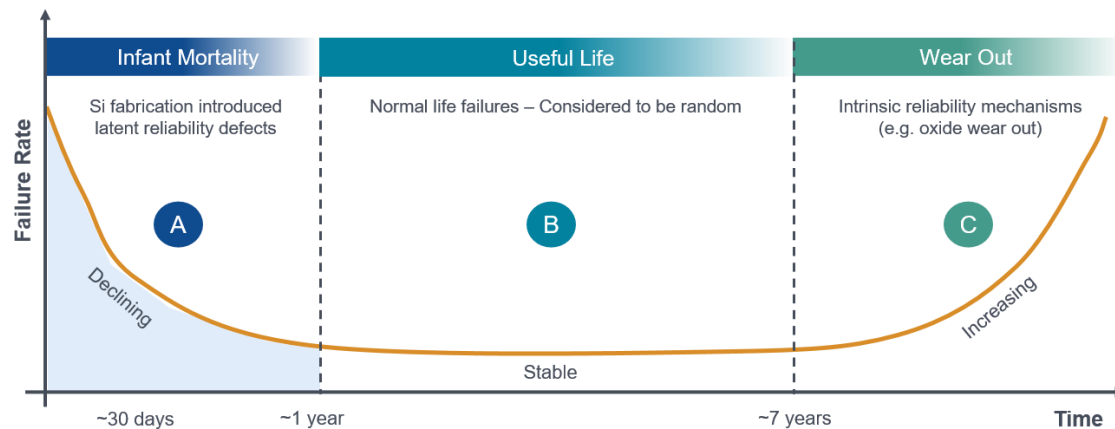


図2：バスタブ曲線

潜在的な欠陥は、欠陥の原因を加速するストレス（バーンイン）条件を適用することでスクリーニングされます。以下に示すのは信頼性に関するアレニウスの式で、故障までの時間に対する熱加速係数を計算するために使用されます。

$$\text{式 1: } A_T = e^{\left[\left(-\frac{E_{aa}}{k} \right) \left(\frac{1}{T_1} - \frac{1}{T_2} \right) \right]}$$

この式において、 A_T は温度変化による加速係数、 E_{aa} は活性化エネルギー（eV）、 k はボルツマン定数（ $8.62 \times 10^{-5} \text{ eV/K}$ ）、 T_1 は絶対試験温度（K）、 T_2 は絶対システム温度（K）です。この式は、品質と信頼性エンジニアリングチームが、特定のシリコン製造技術、製品設計、初期不良（IM）の目標に対する特定のバーンイン条件を、バーンイン電圧、バーンイン温度、バーンイン時間の観点から計算し、モデル化するのに使用します。バーンイン電圧は一般的にアプリケーションの使用電圧よりも約30%高く、バーンイン温度は95°C~105°Cです。これらの値により、バーンイン時間（BIT）は数秒から数分、チップサイズによっては数時間となります。

バーンインは、一般的にプロービングやソーイングされたウェハチップをパッケージに組み立てた後、最初に行われる製品テストです。将来的には、携帯電話やスマートフォンなどの小型端末製品の一部で、ウェハレベルのバーンインテストが重要になる可能性があります。

バーンインのメリットは、デジタル、アナログ、無線周波数（RF）ICのほとんどすべての製造技術にあり、垂直統合型デバイスメーカー（IDM）の中には、車載製品、工業、商業用をターゲットとしたデジタルロジック、アナログ、RFの最終アプリケーションを持つICのバーンインテストサービスを要求する場合もあります。メモリ製品のバーンインテストは、組合せロジック製品のロジックテストに加えて、データの保持に重点を置いています。設計エンジニアは、トグルカバレッジが最大になるようにテスト内容（パターン）を設計します。バウンダリスキャン、構造ベース機能試験（SBFT）、バーンインセルフテスト（BIST）などのテストパターンは、限られた製品テスターのリソース（信号やクロック）を必要とします。しかしながら、高い電圧が要求されるため、各デバイスの電圧レールの電源と電力供給経路は極めて重要です。

初期不良や故障の原因が充分検証されていたり、生産技術が確立された実績ある製品の中には、プロセスの最適化によって不良品が出ないものがあります。そういった場合、サンプルのバーンインをモニターしたり、生産テストのプロセスフローからバーンインテストを完全に無くしてしまうこともありますが、様々なプロセス技術やロジックタイプを採用した複数のチップを持つパッケージでは、品質目標を確実に達成するために複雑なバーンインテストフローが必要です。



図3：バーンインの測定：Vmin劣化

バーンインストレスの影響は、図3に示すように、同じデバイスのウェハソート時と最終試験時のVmin劣化で測定されます。

バーンインテスト装置

バーンイン試験装置は、被試験デバイス（DUT）を効果的なバーンイン環境におくために、いくつかの重要な機能ブロックを持っています。従来、最終試験に比べて試験内容が限られていたため、試験装置は設計上、超多数同時デバイステストプラットフォームに対応するようになっています。一般的な試験プラットフォームには、1つから6つのゾーンがあります。各ゾーンには12~18のロットが用意されており、各ロットには8~数百台のユニットを同時にバーンインさせることができます。本書では、自動化されたDUTおよびバーンインボード（BIB）を備えたプラットフォームについて説明していますが、これらの機能が自動化されていないバーンインプラットフォームもあります。このような場合、DUTやBIBのローディングとアンローディングは手動で行われます。ゾーンを持つロット、ス

ロット自体の並列処理および非同期処理は、最終アプリケーション（メモリやロジック、パッケージの制約、熱の制約など）およびカスタムアプリケーション市場向けのサプライヤーの装置の定義に応じて変化します。

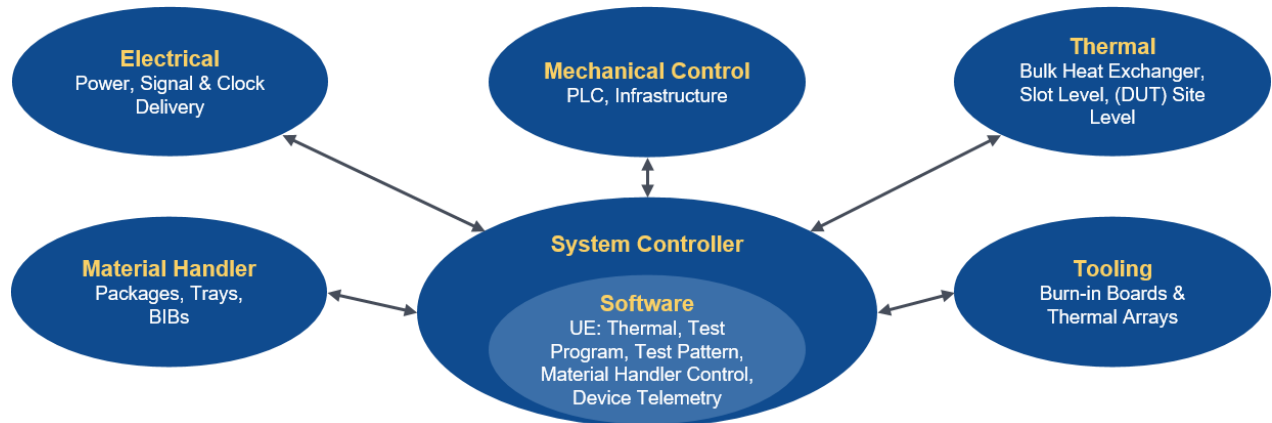


図 4：パッケージのバーンイン試験プラットフォームの機能ブロック

ソフトウェアのサブシステム：バーンインテストプラットフォームは、システムコントローラで制御され、ソフトウェアがプラットフォームの各サブブロックを制御します。テストコントローラは、独自開発テスター操作システム (TOS) ソフトウェアを搭載しており、DUT にストレス条件を与えた状態でバーンイン試験を行う試験プログラムや試験レシピにより、システムの全機能を制御します。ハンドラーのレシピは、JEDEC トレイの DUT を BIB にロード（またはアンロード）するように命令し、次いで BIB をゾーン内の指定されたスロットにロード（またはアンロード）します。テストプログラムには、DUT にバーンイン電圧を印加するために指定された順序でデバイスパワーサプライレールをオン（またはオフ）にしたり、テストイン温度まで加熱したり、部品を検査する試験パターンを実行したり、目的のバーンイン温度を達成するために熱を発生させたりすることを電気ハードウェアに指示するソフトウェアコマンドが含まれています。

電気サブシステム：電気サブシステムに供給される AC 電源は、バーンインプラットフォーム内のすべてのコンポーネントに AC または DC 電源を供給するバルク電源で調整されます。各製品の定常的、過渡的な電力要件には大きな幅があります。10 数ワットから 100 数ワットまで、あらゆる出力範囲の製品があります。実行される試験パターン内の DUT のクロッキングおよびデータ（信号）の要件は、最終製品のアプリケーションによって異なります。バルク電源ゾーンの各自およびゾーン内の各スロットに供給される DC 電源は、絶縁型電圧レギュレータを駆動し、選別された DC レールを DUT ごとに 2~3

本まで出力します。電圧レギュレータの出力は、DUT 電源用に 0V~8V、ヒーター電源用に最大 24V の電圧範囲でプログラム可能です。一般的な DUT の電圧信号スイングは、1.2V、1.5V、2.5、3.3V、5.0V です。バーンイン用のデバイスの電力フォースや測定精度は、最終試験ほどの難易度ではないかもしれませんが、しかしながら、それでも $\pm 20\text{mV}$ で、分解能は $\pm 2\text{mV}$ です。デバイスのクロッキング要件は 200MHz 以下です。テスター用クロックは、デバイスに搭載されたフェーズロックループ (PLL) を効果的に駆動するために、トータルジッタが低く、通常 100pS 以下である必要があります。BI アプリケーションでは、すべての DUT へのクロック分配が重要です。

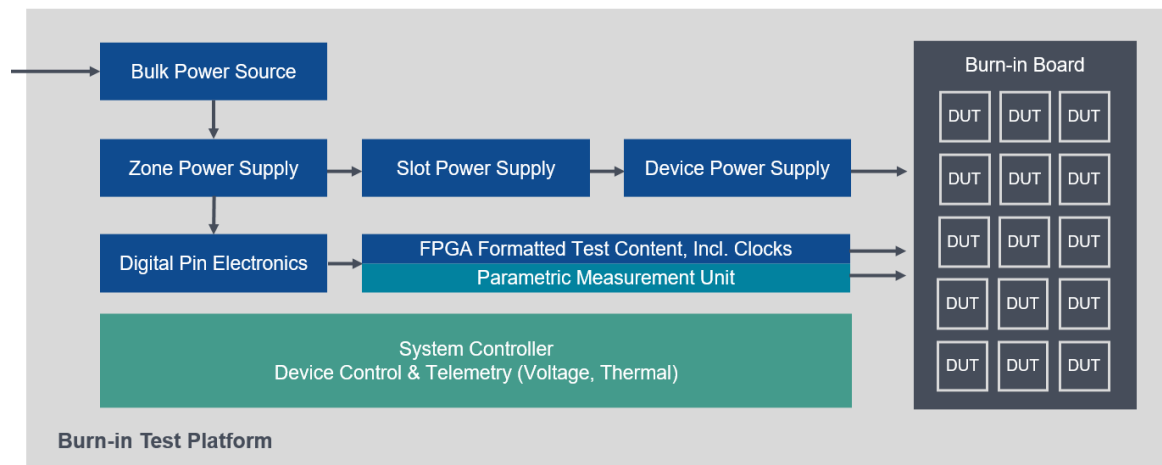


図 5 : ハイレベルな電気サブシステムのブロック図

従来のプロセッサには、IEEE 1149.1 Joint Test Action Group (JTAG) に準拠した試験アクセスポート (TAP) [4]が搭載されており、バウンダリスキャンや BIST のコンテンツを送受信するとともに、いくつかの静的コントロールデジタルピンが用意されています。TAP は、有限状態機械を持つ比較的単純な 5 ピンのシリアルインターフェイスであり[4]、数十年に渡ってすべてのデバイスにデザインフォーエクセレンス (DFX) のニーズを提供してきました。従来のワイド I/O メモリ BI では、メモリコントローラ、試験モードに応じた I/O ピン数が必要でした。この場合の DUT 1 台あたりの I/O ピン数は 128 ~150 ピンにもなります。BI の一般的な信号インターフェイスは、約 200Mbps 未満に制限されています。過去 10 年で、超並列 BI トポロジーのコスト効率の良さを利用して、最終試験の内容をバーンイン試験の段階に実施しようという試みがなされました。しかしながら、内容と試験装置の複雑さやコストとの二律背反を考慮する必要があります。

サーマルサブシステム : デバイスを適切で一貫した規模のバーンインにさらすことを保証するためには、厳しい等温環境が不可欠です。集積回路は、電力を供給すると加熱します。クロックの印加や、デバイスのロジックやアナログ/RF ブロックの各部が動作するにつれて、さらに熱が発生します。パッケ

ージの大きさやデザインによっては、熱質量が被試験デバイスのバーンイン温度に達するのに十分な場合もありますが、他の小型パッケージでは、目的のバーンイン温度を達成するために、BIB やソケットヒーターの追加電力が必要な場合もあります。バーンイン装置は、デバイスの電圧レールに十分な分解能と精度で提供することで、厳しい等温環境を実現します。バーンイン装置は、チャンバーのゾーンと個々の DUT のサーマルアレイとヒーターが、ダイナミックな動作の変化やパッケージの差異に効果的かつ迅速に対応できるように設計されています。バーンイン試験の手順に特有のもう一つの重要な点として、この試験手順ではすべてのプロセスフローの製品を扱わなければならないことが挙げられます。加速試験条件では、「高漏出量」、短絡または熱暴走した部品が代表的な異常値となります。高出力の配電部品は、熱暴走しないように電圧レールの折りたたみを必要とする場合があります。バーンイン装置は、致命的な事象をもたらす可能性のあるすべての条件を捕捉することで、安全な工場稼働を保證するように設計されています。

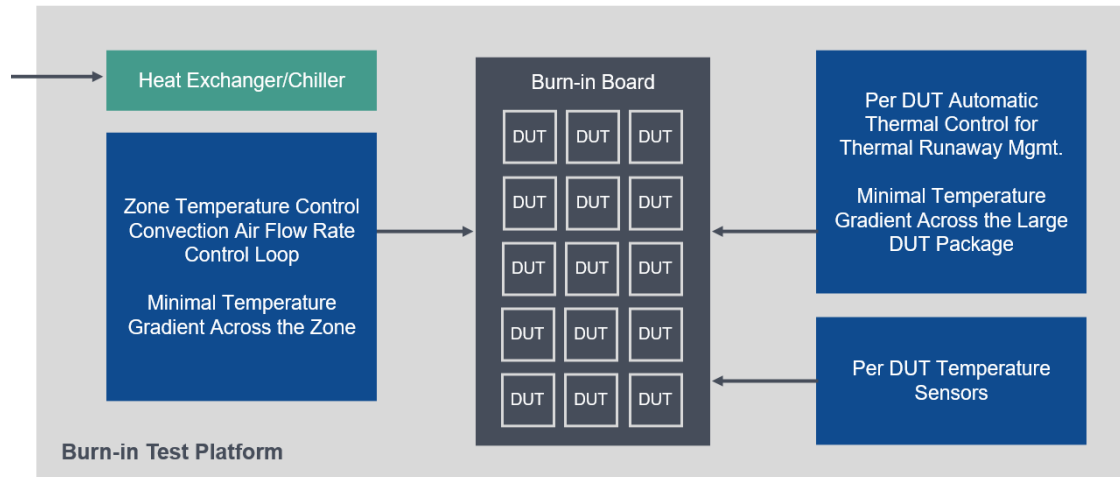


図 6 : ハイレベルなサーマルサブシステムブロック図

機械および材料の取り扱い：バーンインプラットフォームにとって重要なのは、工場の床面積を有効に活用し、最大の処理能力を発揮させることです。電源とプロセス冷水（PCW）の最適なレイアウトを考え、定期的なメンテナンスは迅速に対応ができる体制をとっています。一部のマテリアルハンドラーは、完全自動化されているものもあります。

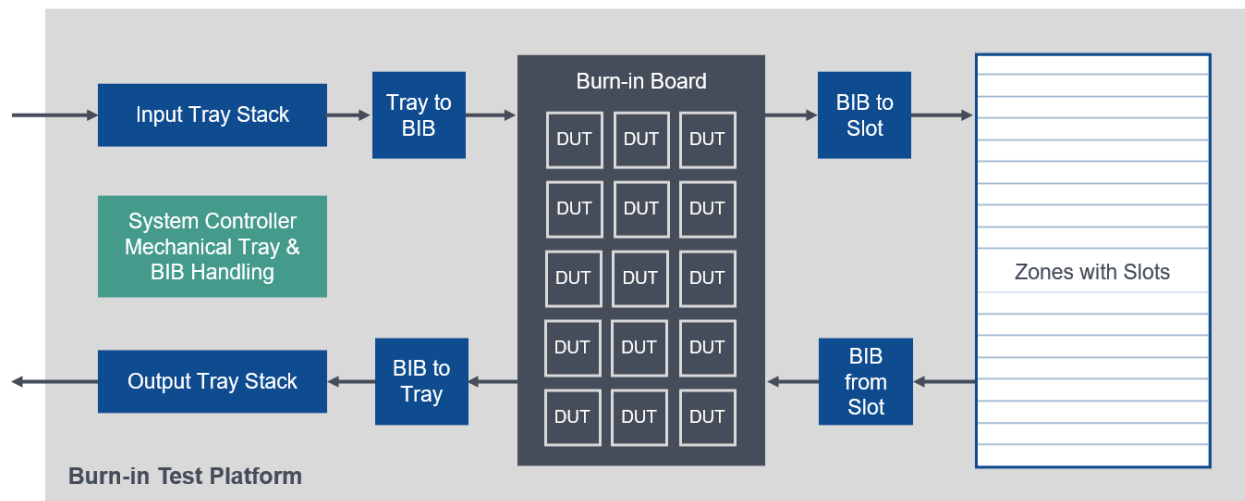


図 7 : ハイレベルな機械および材料取り扱いサブシステムのブロック図

トレイに入れられた DUT は、バーンインボード上のソケットに取り付けられてテストが行われ、その後、所定のハードウェアビンのスタックに戻されて工場オペレーターに渡されます。

ツーリング : バーンイン・プラットフォームは、製品のパッケージ・フォームファクタに合わせたバーンイン・ソケットおよびサーマルアレイを使って製品をカスタマイズ（ツール化）します。バーンインプラットフォームの残りの部分はデバイス・アグノスティックなのに対し、BIB はそうではありません。BIB スロットあたりのデバイス数は、管理する上で重要な複雑さを補っています。確実にコスト目標を達成するために、パッケージ用のソケットタイプ、ソケットピンのタイプ、ソケットあたりのピン数を慎重に選択する必要があります。BIB のプリント基板（PCB）タイプを選択する際は、コストと性能の面で常に条件を満たす FR4 が一般的です。クロック、信号、電源、地上納品経路は、性能基準を満たすように注意深く設計されています。



図 8 : ソケット、PCB、フレーム、信号、電源およびグランドコネクタ付きバーンインボード

出典 : KES システムズ [5]

バーンインテスト装置の専門サプライヤーとしては、例えば、Advantest、MCC、UniFusionなどが挙げられます。これらのサプライヤーはそれぞれ、熱、電力、バーンインドライバ、製品、BIB（パッケージサイズとタイプ）の材料取り扱いと並列処理などのカスタムプラットフォームを持っています。

サマリー

バーンインは、重要な製品テストの一つであり、高度に自動化されたシステムが、品質と信頼性の指標を継続的に監視しています。テスト属性を満たすだけでなく、高い処理能力を持つ最高のバーンインテスト機器サプライヤーと提携することで、お客様にクラス最高のバーンインテストサービスを、経済的な価格で提供することができます。

参考資料

[1] 品質と信頼性の要件 - [インターネット出典](#)

[2] 組み込みプロセッサの耐用年数を計算する - [インターネット出典](#)

[3] JEDEC - 製品信頼性のアレニウスの式 - [インターネット出典](#)

[4] IEEE 規格の試験アクセスポートおよびバウンダリスキャンのアーキテクチャ、「IEEE 規格 1149.1-2001、巻、番号、pp.1-212、2021年7月23日、doi:10.1109/IEEESTD.2001.92950 - [インターネット出典](#)

[5] KES GenPower システム用の半導体デバイス用ソケットを備えた高温バーンインボード。 [インターネット出典](#)。 KES のシステムは、バーンインボードおよびソケットの数多いサプライヤーの一つです。