

芯片级功率晶体管封装

作者：Shaun Bowers, VP, Mainstream Advanced Package Integration, Amkor Technology, Inc

为先进功率封装进行应用扩展，使对新封装设计概念的需求应运而生，从而填补了现有离散和功率模块设计之间的差异。借助于先进功率半导体技术，集成功率市场的规模不断扩大而且持续地发生变化。而要采用新的集成功率封装技术，理解当前的环境和向前发展的挑战是有必要的。

不断发展的功率电子市场

电信、数据中心、电动车和混合动力电动车，以及无线电源等，是推动先进功率电子设计发展的最新应用。从 2019 年到 2025 年，单单全球数据中心功率市场就有望以 12% 的复合年增长率实现成长，并在该期间结束时其规模将达到大约 10 亿美元 [1]。不过，在所有电子产品中都有直流到直流转换、直流到交流转换，以及简单的电源开关。优化当今的功率电子设计需要：

- 更低电阻/电感；
- 集成控制器/逻辑/被动元件；以及
- 减小外观规格。

要在电源电路中实现低开关损耗需要低电阻 ($R_{DS(on)}$) 和低电感 (L_{DS})。若不合理注意这些设计细节，封装必须应对更大功率损耗或适用于低功率应用，因为它的功率容量受到了限制。随着大量功率控制集成电路 (IC) 的出现，集成控制器变得更加常见。任何最终设计中的可用空间始终很重要，因此一定要减小其外观规格。

为达成日益严苛的系统设计目标，功率离散封装已经从通孔过渡到表面贴装器件 (SMD)，而且从有引脚到无引脚 SMD，再到采用双面冷却和芯片级金属氧化物半导体场效应晶体管 (MOSFET) 的 SMD。当前可以满足这些要求的选项包括功率四方扁平无引脚 (PQFN)、可布线引线框架和大量离散解决方案，如 eD2PAK、TO-无引脚封装 (TOLL)

和无损耗封装 (LFPAK) 等。图 1 是现有离散功率封装和 PQFN 封装演变的示例。表 1 显示的是这些封装不同特性的比较。

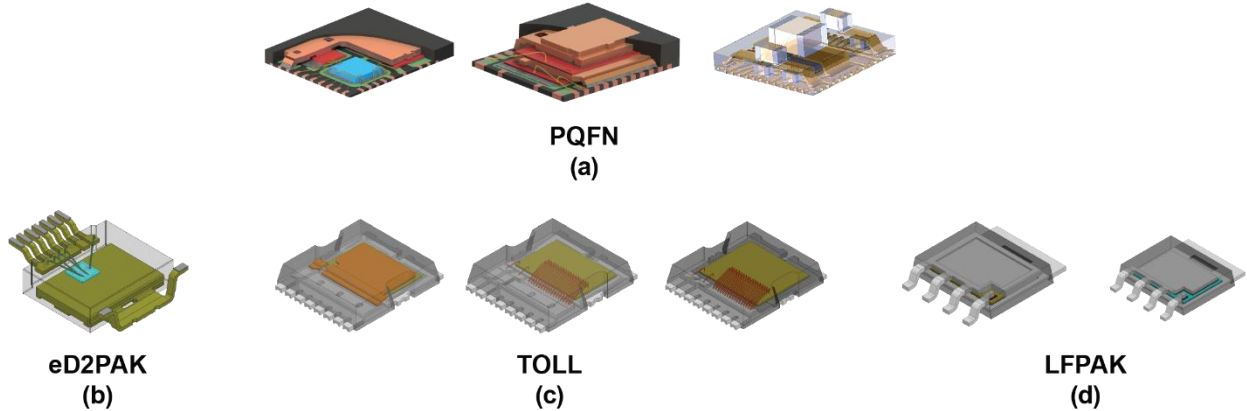


图 1：可用的功率离散功能包括：a) PQFN 演变，b) 带散热片的 eD2PAK，c) TOLL 变化，以及 d) LFPAK。

Pkg Type	Pkg Size (mm)			mm ²	Total Copper Volume %
	x	y	h	Area	
eD2PAK	14	11.7	3.6	163.8	28.96%
D2PAK	10	10.5	4.45	105	23.24%
TOLL Wire	9.9	10.4	2.3	102.96	17.23%
TOLL Clip	9.9	10.4	2.3	102.96	20.10%
PQFN	5	6	0.83	30	13.65%
LFPAK-BL	4.9	4	1.05	19.6	32.07%

表 1：现有功率封装的比较数据。

宽带隙 (WBG) 半导体技术，如碳化硅 (SiC) 和氮化镓 (GaN)，比硅 MOSFET 具有更高的品质因数 (FOM)，而且扩展了对功率电子产品的效率、输出功率和/或开关频率范围，以及操作温度范围。与此同时，它们为功率封装带来了新的挑战 and 机遇。

由于功耗降低，特定尺寸功率器件可以控制更高电力负荷。例如，相对于硅基系统，采用氮化镓功率晶体管的电源系统在尺寸、重量和效率损失方面都只有前者的 1/4。氮化镓技术可以克服由无线系统等低功率 (50W) 端到中功率端，甚至高功率水平所带来的系统挑战。对 5G 系统的兼容性使其能够完美适应精密的中低功率封装。类似地，SiC 的功率控制能力高于硅基 MOSFET，而且对很多应用都有先进封装要求。WBG 器件的好处与优势需要新的封装选项，来最大限度地挖掘出整个电源系统的价值。

行业标准在持续变化，它可以加速碳化硅/氮化镓功率技术的采用。这是成立于 2017 年的 JEDEC Solid State Technology Association 的 JC-70 委员会的工作重点。在 JEP180 的最近出版物中，“Guideline for switching reliability evaluation procedures for gallium nitride power conversion devices [2]” 确定了功率转换应用中氮化镓器件的内在稳固性，而对创新封装的兴趣也在不断升高。JC-70 与其他汽车相关组织的不断讨论也在进行中。

同样，JC-70.2 小组委员会正在为 SiC 功率器件的测试和可靠性确定适用准则。这两项功能应该能够刺激和简化此类先进半导体技术的采用，尤其当封装的进步和半导体的功能相符时。

当前封装技术的差异

目前的离散功率封装受限于夹片、焊线和焊点的电气性能。一般来说，离散封装遵循着更大尺寸/体积和更强功率处理能力之间相互关联的设计理念。不过，更高效的晶体管技术（如氮化镓和碳化硅）提供在相同尺寸的封装中处理更高功率的能力，或者能够大幅减小其外观规格。

PQFN 可以处理多块晶片，而在同一个封装中，功率 MOSFET 可以堆叠或并列排布。为了进一步减小印刷电路板 (PCB) 所占的空间并优化电气效率，可在封装内部或顶部集成电感器和被动器件。

离散功率封装和 PQFN 所遇到的一项持久挑战是，它们难以集成可处理应用所需功率的封装尺寸，并具有足够接面解决散热问题。大型 (LFF) PQFN 可能有用于集成被动元件的外露式衬垫，但也受到引线框架的 I/O 密度和铜厚度的限制。LFF PQFN 通过在热容量和众多晶片贴装步骤的更复杂的制程之间进行权衡，来实现它的功能。

对于具有最高功率要求，要处理数百甚至数千瓦特的应用来说，它们采用功率模块进行封装，其尺寸也从数毫米变到数厘米。这些封装通常以螺丝安装在大型散热片上，并使用大尺寸电线或缆线固定在螺丝上进行电气连接。这些高功率模块甚至可以在系统级用水冷却。如图 2 所示，这一点在中低功率范围内形成差异，而且无法通过离散器件或大型功率模块进行填补，需要进行创新和优化来解决这个问题。

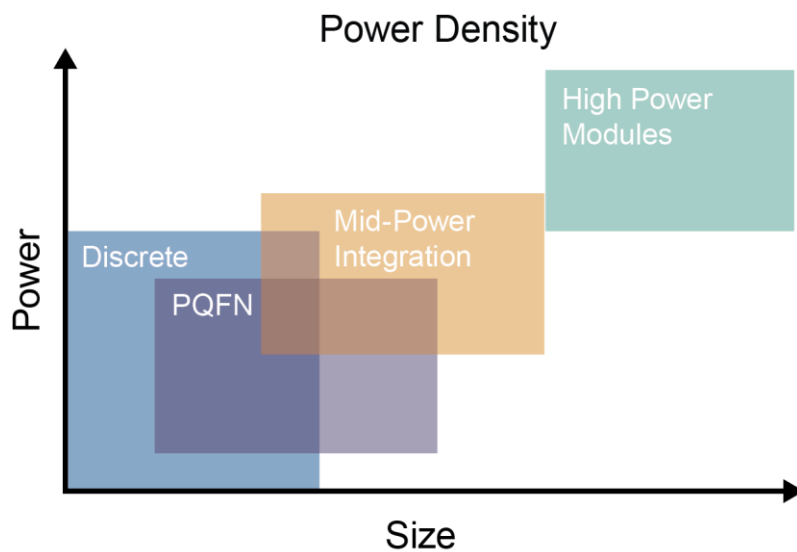


图 2：中低功率应用为与离散和 PQFN 空间重叠的创新集成功率封装带来机会。

之前希望以嵌入式技术填补此差异的努力促成高度复杂的设计因此诞生，它们不仅容易导致低良率问题，而且也无法满足特定的应用需求。虽然其中有不少被认为在技术上取得成功，尤其是针对它们的目标利基市场，但它们的采用率还是非常有限。即使基板制造商在

很大程度上使它的供应链成为可能，但产出的所有权和成本责任阻碍了它们被广泛采用，以及转型成为主流功率封装技术的能力。

最后，通过移除损耗接面，提高从功率到封装密度的必要性，为适用于中低功率应用的全新集成功率封装概念创造了一个机会窗口。

介绍 PowerCSP™ 设计概念

要彻底优化此集成功率空间的功能性，必须促成三件事情。首先，源极和漏极的总传导率需要被最大化。其次，热和电接面需要被取消，或在相当程度上减小其长度/厚度。第三，需要增加封装的传导材料密度。PowerCSP™ (PCSP) 为功率应用重新塑造或定义了芯片级封装 (CSP)，满足所有这三项要求，同时减小了器件的整体尺寸。图 3 显示了此封装设计的重要因素，包括散热片 (HS) 和其他选项。

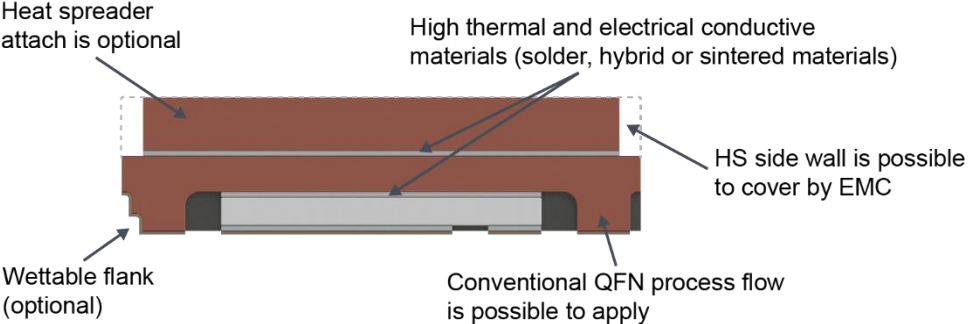


图 3：首次实施 PowerCSP™ 技术显示了它的灵活性，以及众多结构选项。

为了最大限度提高传统功率封装的总传导率，晶片设计的源极和漏极需要在 100% 或接近 100% 的可用空间中连接到电流承载材料。在传统上，通过增加电线数量、电线直径或者将固定到源极或漏极的夹片尺寸最大化可以实现这一点。而在 PowerCSP 技术中，其设计让晶片可以通过直接连接到铜垫利用所有可用的源极和漏极面积，而该铜垫可以用作电流承载和散热元件。图 4 列出了多种连接选项。



图 4 : PowerCSP™ 设计为芯片级功率封装提供多种连接选项。

功率器件的每个接面都可以扮演热或电节流阀的角色，也可能导致其在严苛的环境中发生故障。因此。器件和系统中的接面越少越好，而现在的趋势就是将其取消以实现电通路的可预测性。PowerCSP 技术最大限度减少了从晶片到载流元件的单条连接的接面，允许源极或漏极直接连接到 PCB 或其他基板的电源或信号。

要在最大程度上优化热和电属性，封装体积内最好尽量采用更多传导材料。在当前的大多数功率封装中，封装所使用的传导材料很少超过 25%（见表 1），而我们的新技术一般介于 40-70% 的范围之间。增加的原因是我们使用连续铜基板取代了夹片。

很多量身定制的功率封装设计可以满足市场中的特定需求，但我们现在还需要能够支持目前所使用的各种垂直和水平 MOSFET 设计的灵活设计，并确保其被广泛采用。

PowerCSP 变化可以利用核心概念来满足个别应用的需求，同时保持高功率密度。无论设计是否包括外露式源极和门极，或者从内部到封装的布线门极，所有采用新技术的设计都可以实现高功率密度、高传导材料密度和最小化接面。这些变化还可能包括更多厚度的散热片、单面或双面漏极设计，以及视必要性使用焊料、烧结或混合材料来满足个别器件的性能要求。如果需要，还可能需要特定于应用的强化，如可润湿侧翼等。此新概念的整体尺寸可以根据个别晶片尺寸进行调节，或使用常见的行业足迹。图 5 是部分可能的变化。



图 5 : 基于 PowerCSP™ 设计灵活性的芯片级功率封装变化。

不管是硅、氮化镓或碳化硅技术，所有半导体功率器件所要解决的问题之一是更高的操作温度。以最明显的汽车应用为例，在引擎盖下，功率器件可能要在 175°C 到 200°C 之间的温度中运转。封装对于克服高温挑战来说必不可少。

为了减小外观规格，设计 PowerCSP 时要权衡的一项因素之一就是如何限制在封装中铜的横向使用量。即使新技术在晶片上使用厚引线框架，封装的质量和尺寸也会因为小外观规格而大幅减小。这降低了它的整体热容量，并需要外部散热以便在部分应用中实现可接受的热解决方案。图 6 显示的是当封装是散热的唯一途径时，各种封装模型的相对接面温度和封装体积。如果散热可用或可被轻松增加，此限制温度将能轻易得到解决。

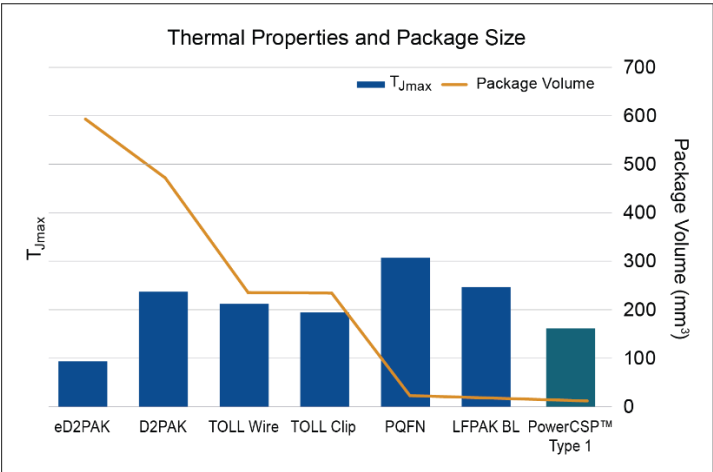


图 6：不同功率封装的相对接面温度和封装体积。

每种设计变化还是会采用经过改进的制程来生产成熟的高密度功率器件。相对于传统的功率封装，消除使用电线和/或夹片的必要性减少了生产中的制程步骤。对于 PowerCSP 设计，框架即电夹片，因此制程至少可以避免 2-3 个步骤。关键的制程步骤是晶片贴装、模塑和切割，而其他封装变化还可能包括其他步骤，如线焊、焊印、夹片放置和额外的清洁步骤。

与其他离散封装相比，PowerCSP 设计实现了低电阻 (R)、低电感 (L) 和出色的电容 (C) 性能。图 7 比较了封装的 RLC 模型和其他离散功率封装 (见图 1) 以及从晶片到封装连接的不同接面材料。对使用极高密度传导材料的封装来说，结果是可预测的。

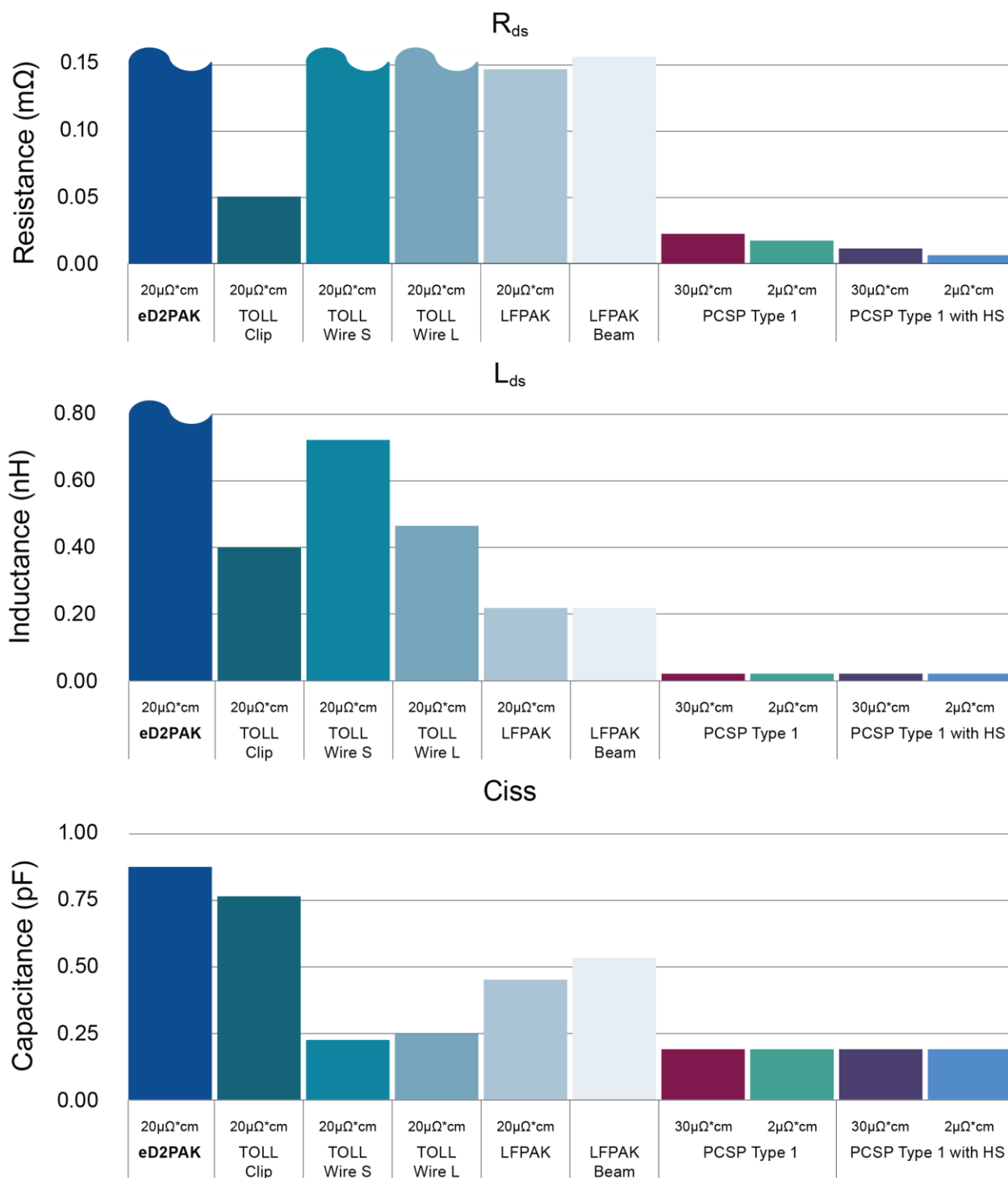


图 7：适用于 PowerCSP™ (PCSP) 的 RDS、LDS 及 Ciss 和不同版本 eD2PAK、TOLL 及 LFPAK 封装的模拟比较。

由于大传导接面和直接连接到 PCB，电阻也比其他封装低得多。因为相同原因，电感也会降低，而电容也略微低于其他封装。RLC 的性能似乎不严重依赖于晶片贴装材料的传

导性或新设计本身的厚度；虽然站在基本立场上，这对热和最大电流传输有利。相对于使用电线的器件，损耗密度变得非常低。电模拟比较了尺寸较小和大得多的封装，验证了该设计的性能。

采用 PowerCSP 概念的中低功率集成

在功率市场中，有一股向集成过渡的强劲动力，而功率密集在采用各种集成方法领域扮演着重要的角色。在中低功率范围内，集成可以包括不同的方法，具体取决于不同的用例和原始封装格式。

三种基本方法概括了不同的集成方案。其中一种直接在分体引线框架或 PQFN 中包含控制器和 MOSFET 器件。此方案十分常见，但因为涉及到功率和性能，而且增加被动元件的选项通常在封装外完成，因此也受到限制。另一种在模塑接面包含更独特的材料，如直接绑定铜 (DBC)，它常被用于绝缘栅双极型晶体管 (IGBT) 模块。最后一种是将 MOSFET 晶片直接嵌入到层压基板或重布线层 (RDL) 封装。虽然嵌入式选项在中功率选项中具有其优势，但供应链问题从过去以来阻碍了全嵌入式选项的广泛采用。上述集成方案中每种都有其优点和缺点，但也有一些共同特点。它们全都努力将到 FET 的源极和漏极的接触面最小化，尽量在模块中使用更多传导材料，并为成功的集成设计简化电通路。

一种采用 PowerCSP 技术的集成方案可以解决其他方案内在的根本性问题。从常用的外观规格开始，并将此方案集成到更主流模块中有助于更广泛的采用。允许预封装 MOSFET 使单个或批量测试成为可能，因此可被视为良裸晶片 (KGD) 以提高产量。直接在基板和 PCB 上贴装封装可以降低整体复杂性和成本。

凭借部分适用于集成器件的具体设计选项，模块化方法应该还能增强整体系统的性能。PCB 的直接信号通路将保持低电阻/电感。采用高密度但小外观规格封装使仅在对设计来说关键的位置使用厚铜接面成为可能。另外，可对关键元件和器件进行距离优化，以提高性能并降低成本。通过在典型的半桥式电路中采用此方法，设计自由的优点变得更加明显。在半桥式电路中，其中一项可显著影响性能的关键设计因素是一个 MOSFET 的源极到另一个的漏极和电感器的距离。使用采用 PowerCSP 设计，电感器可被直接放置在 MOSFET 之间，距离可以非常短，并经过优化将 MOSFET 和被动元件之间的电感降到最低。图 8 即此方法。

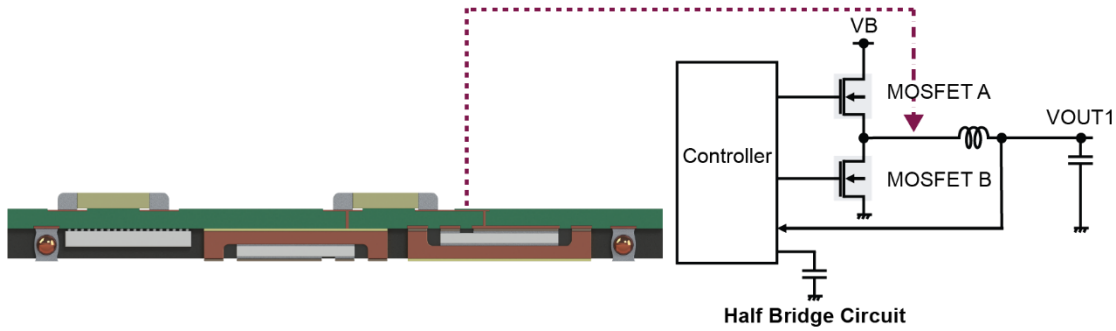


图 8 : PowerCSP™ 设计方法可被用于构建功率模块封装。

如果需要进一步集成，或在 MOSFET 的两面进行布线，可使用一些简单的概念作为替代方式，以嵌入到基板技术当中。在图 9 中，即采用两个薄层压结构，而两者之间是模塑 MOSFET 结构。这些设计和制程都很成熟，而且更常用于移动应用而不是功率应用当中。它们不仅成熟，还能缩短上市时间，此外，其简易性和制程的重复利用也可能在未来使它们成为重要的替代方案。

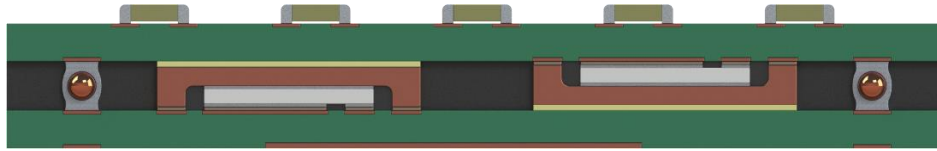


图 9 : 使用 PowerCSP™ 方法优化功率集成。

中低功率集成创新

适用于汽车、电信、数据中心、消费品及其他领域的功率电子元件，以及先进功率晶体管技术的新应用，需要创新的功率封装来填补功率转换的现有离散功率封装和功率模块之间的差异。

PowerCSP 设计提供可实现高功率密度封装的 MOSFET CSP。此项能力适用于碳化硅和氮化镓晶体管，是集成的关键“拼块”之一。它采用可根据晶片尺寸或标准的大批量生产格式进行缩放的较小外观规格。该设计的灵活性适用于各种应用，而且仅在需要时使用 KGD 和厚铜片以减低成本，缩短连接至主动/被动元件的电通路，从而提高效率、减少噪音。此设计已申请专利。

低功率市场，如智能手机，已经实施晶圆级 CSP MOSFET。这种直接将功率晶体管装贴到主板或子板的设计已经被采用，而且可以根据先进芯片级功率封装的可用性进行扩展。随着表面贴装封装在消费品功率电子产品中的运用，在低功率应用中采用低噪音封装应该可以作为将此设计理念扩展到更高（中）功率领域的新方法。

集成器件制造商 (IDM) 通常在内部有自己的封装方法，并使用外包封装与测试供应商 (OSAT) 达成特殊目标，而集成电源可能就是凸显专业 OSAT 重要性的特殊目标之一。OSAT 生产的内在供应链优势，可以算作除更小型、散热更好（采用合适的散热片）、更安静而且成本更低以外，我们的新设计方案的又一项优点。这些优点终将使此种低电阻/低电感封装得到广泛采用。

致谢

PowerCSP 是 Amkor Technology, Inc. 的商标。

参考资料

1. “Global data center power market size to generate revenues”，Arizton Advisory & Intelligence 报告；<https://www.openpr.com/news/2047478/global-data-center-power-market-size-to-generate-revenues>
2. “Guideline for switching reliability evaluation procedures for gallium nitride power conversion devices”，JEP180；<https://www.jedec.org/standards-documents/docs/jep180>

作者简介

Shaun Bowers 是 Amkor Technology, Inc. 常驻在亚利桑那州坦佩的主流先进封装集成副总监。他于 2000 年加入 Amkor，目前负责汽车、引线框架和功率部门的封装开发。他过去还担任过技术项目管理、销售和客户服务等职务。在加入 Amkor 前，他曾在 Johnson Matthey Electronics 和 Honeywell Electronic Materials 就职。他持有贡萨格大学的机械工程学位。他的电子邮件地址为 shaun.bowers@amkor.com