

介质层 PoP

介质层层叠封装

Amkor 的广受好评的介质层层叠封装 (介质层 PoP) 平台通过采用非导电胶 (TCNCP) 的热压焊和采用毛细管底部填充 (CUF) 的大规模回流焊来支持小节距倒装芯片连接。顶端介质层连接以铜核球 (CCB) 热压缩焊接的形式得以实现。底端基板和介质层之间的 CCB 连接使高速且高密度互连至介质层贴装器件成为可能。这种高可靠的封装运用模塑化合物对两片基板之间的晶片进行塑封, 从而降低器件翘曲。顶端介质层则大幅提高顶部贴装的灵活性 (相对于限制更多的穿塑通孔 (TMV[®])), 而且能与各种器件兼容 (已封装的存储器、被动元件、晶片, 等等) 。

底端基板和介质层之间的小节距连接实现了高密度的大量 I/O 互连。相对于 TMV[®] 加工, 介质层 PoP 加工通过采用更小节距互连增加晶片尺寸而无需增加封装尺寸。

Amkor 拥有量产介质层 PoP 的经验, 最先进的硅节点低至 4 nm, 小于 4 nm 的项目正在持续开发中。Amkor 迄今为止已为大量客户组装上亿件高性能器件。

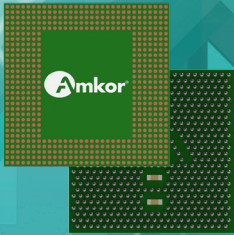
作为使能技术的优势

介质层 PoP 为 OEM 和 EMS 供应商提供灵活的平台, 使其能通过高成本效率的方式将逻辑及各种配套器件/封装集成到 3D 堆叠架构中。通过介质层 PoP 进行集成可以获得以下技术、业务和后勤优势。

- ▶ 顶端和底端基板之间的直接高密度电连接降低了延迟并提高了信号速度
- ▶ 通过采用 EMC 密封两片基板之间的晶片实现了低单位翘曲
- ▶ 相对于限制更多的 TMV[®] 互连, 顶端介质层大幅提高了顶部贴装的灵活性
- ▶ 由于介质层 PoP 封装设计, 顶端介质层可与各种器件兼容 (已封装的存储器、被动元件和晶片等)
- ▶ 小节距 CCB 连接和顶端介质层扇出型布线实现了高密度的大量 I/O 互连
- ▶ 已成功组装上亿件器件的大批量制造专业技术

特色

- ▶ 10-16 mm 封装尺寸 (普通); 按要求定制封装尺寸
- ▶ 灵活适用于各种顶部连接 (晶片、被动元件, 等等) 的顶端封装 I/O 接口
- ▶ 可提供晶圆减薄/加工 <100 μm
- ▶ 成熟的层叠封装 (PoP) 平台, 始终不变的产品性能和可靠性
- ▶ 完善的大批量制造封装技术
- ▶ 适用于各种配置的堆叠封装高度, 小至 0.55 mm (见《堆叠规格表》)



介质层 PoP

应用

介质层 PoP 封装专为需要高效存储器架构的产品而设计，包括多总线，提升存储器密度和性能，同时减小贴装面积。便携式电子产品，如手机、便携式媒体播放器（音频/图形处理器和存储器）、游戏和其他移动应用能够从堆叠封装和小面积组合中获益。

可靠性认证

Amkor 通过持续地监控关键指标来确保可靠的性能。

封装级

- ▶ 抗湿性测试：JEDEC 级别 3 @ 260°C x 3 回流焊
- ▶ uHAST：130°C、85% 相对湿度，96 小时
- ▶ 温度/湿度：85°C、85% 相对湿度，1000 个小时
- ▶ 温度循环：-55°C/+125°C，1000 次循环
- ▶ 高温储存：150°C，1000 个小时

板级

- ▶ 热循环：-40°C/+125°C，1000 次循环

标准材料

- ▶ 封装层压基板
 - ▷ 有线和无线
- ▶ 芯片贴装
 - ▷ 可提供大规模回流焊 (MR) 和热压焊 (TC)
- ▶ 密封材料
 - ▷ 封装：环氧树脂模塑化合物 (EMC)
 - ▷ 晶片：毛细管底部填充 (CUF)
 - ▷ 晶片：非导电胶 (NCP)
- ▶ 焊球
 - ▷ 无铅（可在 BGA 侧贴装被动元件）
 - ▷ LGA

工艺亮点

- ▶ 可提供晶片厚度：<100 μm
- ▶ 凸块节距：成熟的小至 40/80 μm 的 HVM 能力
- ▶ 晶圆：200 mm & 300 mm

测试服务

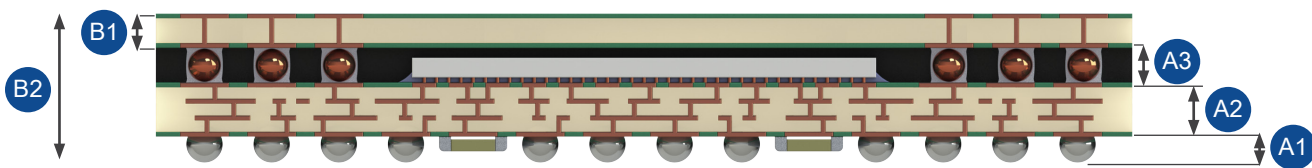
- ▶ 程序生成/转换
- ▶ 产品工程
- ▶ 支持双面接触测试系统
- ▶ 卷带包装服务

发货

- ▶ JEDEC 托盘
- ▶ 可提供卷带包装

介质层 PoP

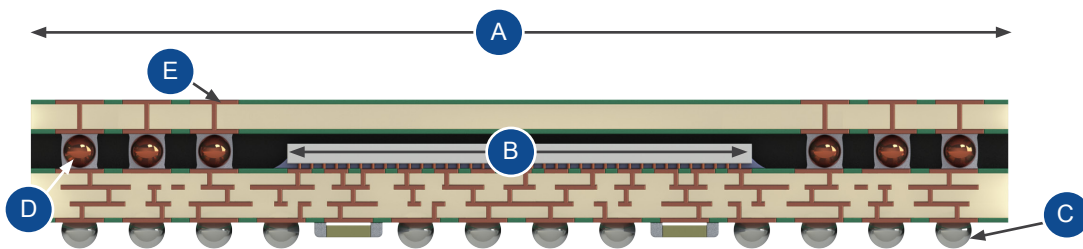
介质层 PoP 堆叠规格表 (参考范例)



符号	介质层 PoP – 当前 HVM (mm)		
	最小	最大	标称
A1 (贴装, 0.35 节距)	0.115	0.155	0.135
A2 (3 层层压板)	0.090	0.150	0.120
A3 (模塑盖)	0.130	0.170	0.150
B1 (2 层层压板)	0.075	0.115	0.095
B2 整体封装高度	0.410	0.590	0.500

*可提供薄型和厚型堆叠。请联系销售/业务团队，以了解具体的设计要求

介质层 PoP 设计表



A	B	C	D	E
封装尺寸 (mm) ¹	晶片尺寸 (mm)	MB 的 BGA 数量 (0.35 mm 节距)	介质层连接 (底端基板 : 顶端介质层) ²	存储器 BGA 衬垫 (存储器 I/O 数量) ³
11 x 11	7 x 7	1050	2 面 : 234 4 面 : 432	560
12 x 12	8 x 8	1235	2 面 : 258 4 面 : 480	672
13 x 13	9 x 9	1512	2 面 : 282 4 面 : 528	828
14 x 14	10 x 10	1732	2 面 : 306 4 面 : 576	960
15 x 15	11 x 11	1992	2 面 : 324 4 面 : 612	1100
17 x 17	14 x 14	2613	2 面 : 372 4 面 : 708	1512

¹ 根据结构，可以提供大于/小于此范围的封装尺寸

² 由于基板 M1 布线限制，通常在 2 面实现介质层连接；根据设计限制，可以在 4 面实现连接 (晶片宽高比更改可能会改变总数)

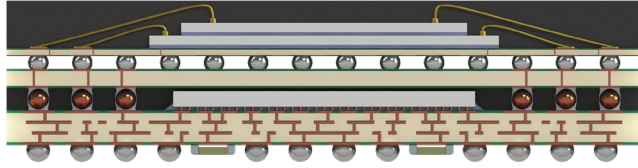
³ 存储器 I/O 假定 5 x 5 mm 面积用于基板标记；减小存储器面积可能增加 I/O 数量

* 可提供节距 ≥ 0.35 mm 的 BGA 侧面被动元件

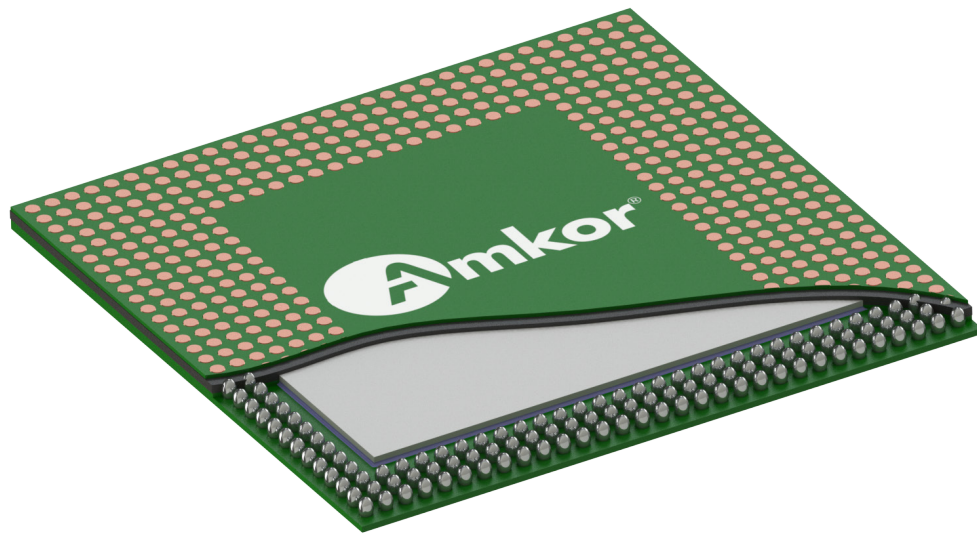
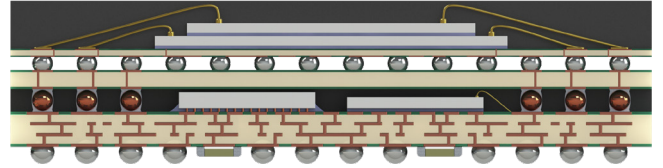
介质层 PoP

横截面

贴装 DDR 的介质层 PoP



贴装 DDR 的介质层 PoP 并排焊线晶片



访问 amkor.com 或发送电子邮件至 sales@amkor.com 以获得更多信息。



关于本文档中的信息，Amkor 对其准确性或使用此类信息不会侵犯第三方的知识产权不作任何担保或保证。Amkor 对因使用或依赖它而造成的任何性质的损失或损害概不负责，并且不以此方式默示任何专利或其他许可。本文档不以任何方式扩展或修改 Amkor 其任何产品的标准销售条款和条件中规定的保修。Amkor 保留随时对其产品和规格进行更改的权利，恕不另行通知。Amkor 名称和标志是 Amkor Technology, Inc. 的注册商标。所提到的所有其他商标是各自公司的财产。© 2022 Amkor Technology, Incorporated. 保留所有权利。DS840C-CN 修改日期：02/22

