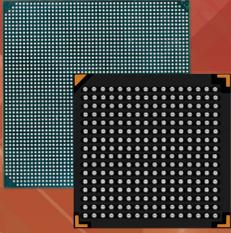


Flip Chip Packaging



BENEFITS OF FLIP CHIP

- ▶ 신호 인덕턴스 감소 - 다이와 기판 사이의 연결 길이가 매우 짧기 때문에 (0.1 mm vs. 1-5 mm) 신호 경로의 인덕턴스를 크게 줄일 수 있습니다. 이것은 고속 통신 및 스위칭 장치의 핵심 요소입니다
- ▶ 전력/접지 인덕턴스 감소 - 다이 끝에서 코어에 전원을 배선하는 대신 Flip Chip 연결을 사용하여 다이의 중심에 직접 전원을 공급할 수 있습니다. 이에 따라 코어 전원의 노이즈가 대폭 감소되고 장치 성능이 향상됩니다
- ▶ 높은 신호 밀도 - 다이 가장자리 뿐 아니라 다이의 표면 전체를 인터커넥트에 사용합니다. 이는 QFP와 BGA 패키지를 비교하는 것과 유사합니다. Flip Chip은 다이 표면 전체에 걸쳐 연결이 가능하기 때문에 같은 크기의 다이에 훨씬 더 많은 인터커넥트를 지원할 수 있습니다
- ▶ 다이 크기 축소 - 패드에 의해 다이 크기가 제한되는 경우(본드 패드에 필요한 다이 가장자리 공간에 의해 다이 크기가 결정되는 경우), 다이 크기를 줄여 실리콘 비용을 절감합니다
- ▶ 패키지 크기 축소 - 배선을 위한 추가 공간이 필요하지 않으며, 고밀도 기판 기술을 사용하여 패키지 크기를 줄일 수 있습니다

반도체 업계의 다양한 요인으로 Flip Chip 인터커넥트 기술에 대한 수요는 나날이 증가하고 있으며, 앰코는 이러한 수요에 부응하며 Flip Chip in Package(FCiP) 기술의 선도업체가 되기 위해 최선을 다하고 있습니다. 업계를 선도하며 다양한 고객과 긴밀한 협력 관계를 구축하여 대규모 Flip Chip Packaging & Assembly 서비스를 시장에 도입한 앰코는 1999년에 OSAT 업계 최초로 FCiP 솔루션을 제공하였습니다. 이후 Flip Chip 기술을 이용한 혁신적인 패키지 솔루션을 지속적으로 도입해 왔으며, 다양한 FCiP 기술 솔루션을 제공하고 있습니다.

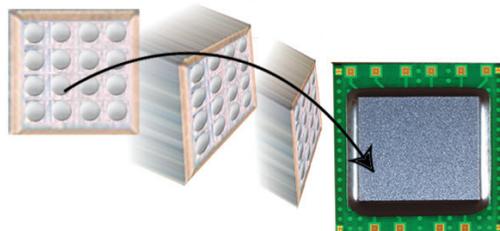
What Is Flip Chip?

Flip Chip은 특정 패키지 규격(예: SOIC)이나 타입(예: BGA)이 아닙니다. Flip Chip은 다이를 패키지 캐리어에 전기적으로 연결하는 방법을 의미합니다. Substrate 또는 Leadframe 등의 패키지 캐리어는 다이를 패키지 외부에 연결하는 역할을 합니다. '표준' 패키지에서 다이와 캐리어 간의 연결은 와이어를 통해 이루어집니다. 다이 표면이 위를 향한 채 캐리어에 접촉되고, 이후 와이어는 다이에 먼저 연결된 후 캐리어와 연결됩니다. 와이어는 일반적으로 길이 1~5 mm, 직경 15~35 μm 입니다.

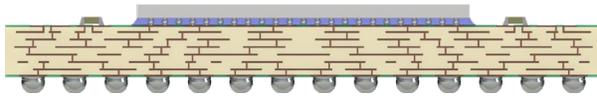
이에 비해, Flip Chip 패키지는 다이 표면에 직접 제작된 전도성 '범프'로 다이와 캐리어 사이를 연결합니다. 범프가 탑재된 다이는 뒤집힌 채로 바닥을 향하게 되고, 범프가 캐리어에 직접 연결됩니다. 범프는 일반적으로 높이 60~100 μm , 직경 80~125 μm 이며, Cu Pillar(CuP) 범프의 경우 일반적으로 SnAg 캡을 사용하며 높이는 40 μm 수준입니다.

Flip Chip 연결에는 일반적으로 솔더 또는 전도성 접착제가 사용됩니다. 가장 보편적인 연결 방법은 솔더입니다. 현재 솔더 옵션으로는 Eutectic Sn/Pb 공정 또는 Lead-Free (Sn 98.2%, Ag 1.8%)가 있습니다. 솔더 범프 처리된 다이는 솔더 리플로우 공정으로 기판에 부착되는데, 이 방법은 패키지 뒷면에 BGA 볼을 부착하는 공정과 매우 유사합니다. 다이가 솔더 처리된 후, 다이와 기판 사이에 언더필이 충전됩니다.

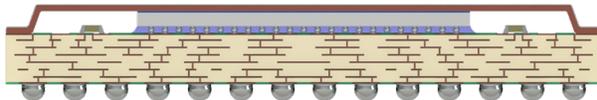
언더필은 칩과 캐리어 간의 공간을 메우고 솔더 범프를 둘러싸도록 특수하게 설계된 에폭시입니다. 또한 실리콘 다이와 캐리어 사이의 열 팽창 차이로 인한 솔더 접합부의 응력을 제어하도록 설계되었습니다. 경화 후, 언더필은 응력을 흡수해 솔더 범프에 가해지는 압력을 줄여 패키지의 수명을 크게 연장시킵니다. 다이 어태치와 언더필 공정은 Flip Chip 기술의 기본 공정입니다. 이 공정 이후, 다이를 둘러싼 패키지 제조 공정의 나머지 단계에는 여러 가지가 있으며 일반적으로 기존의 제조 공정 및 패키지 유형을 사용할 수 있습니다.



최근에는 TCNCP(Thermal Compression Non Conductive Paste, 열 압착 비전도성 페이스트)라는 대체 Flip Chip 연결 기술을 활용하기 시작했습니다. TCNCP는 솔더 과정과 언더필 두 공정을 단일 단계로 수행합니다. 끝이 솔더 처리된 비 용융 Cu Pillar 범프는 액체 에폭시 언더필에 놓린 다음 양쪽에 열이 가해져 금속 결합을 형성하고, 동시에 에폭시를 경화시킵니다. TCNCP+Cu Pillar를 사용하면 다이와 캐리어 사이에 교착 상태가 유지되고 쇼트 발생을 줄여 더 미세한 범프 피치의 적용이 가능해집니다.



Bare die FCBGA cross section



Single piece lid FCBGA cross section

Wafer Bumping Technology

엠코는 Flip Chip 어셈블리를 지원하기 위해 한국, 대만, 포르투갈 및 중국 공장에 웨이퍼 범프 생산 라인을 보유하고 있습니다. 엠코의 범프는 현 시장에서 가장 진보적이고 견고하며 높은 신뢰도와 수율을 실현하는 독점적인 전기 도금 솔더 기술을 기반으로 합니다. Eutectic Sn/Pb, Pb Free (Sn 98.2%, Ag 1.8%) 및 Cu Pillar 범핑이 200 mm와 300 mm 웨이퍼로 양산되고 있습니다.

- ▶ 웨이퍼 크기 : 직경 200~300 mm
- ▶ 전체 영역 배열 피치 : 130 μm 까지 가능
외각 패드 피치 : 100 μm 미만
- ▶ Cu Pillar, Eutectic Sn/Pb 및 Pb Free (98.2Sn/1.8Ag) 구성 가능
- ▶ 낮은 알파 값(0.02 cph 미만) 및 초저 알파(0.002 cph 미만) 솔더 가능
- ▶ 폴리이미드 리패시베이션 (Polyimide Repassivation) 가능
- ▶ Cu 도금을 사용한 재분배 레이어

Packaging Options Using Flip Chip

다이와 애플리케이션 요구사항에 따라 다양한 패키지 레벨 솔루션이 필요합니다. 따라서 Flip Chip 기술은 각 특정 시장에 초점을 맞추는 여러가지 패키지 솔루션에 사용될 수 있습니다. 엠코는 고객과 최종 사용자의 다양한 요구에 부응하기 위해 여러가지 Flip Chip 패키지 솔루션을 제공합니다. 광범위한 제조 지식과 모든 유형의 패키징 인터포저를 결합하고, Flip Chip 인터커넥트 기술의 리더로서 새로운 패키지 솔루션을 지속적으로 개발하고 있습니다.

Flip Chip BGA Package

엠코의 FCBGA 패키지는 라미네이트 기판이나 세라믹 기판으로 생산됩니다. 여러 개의 고밀도 라우팅 레이어와 Laser-drilled Blind/Buried/Stacked via 및 초미세 라인/스페이스 금속화를 활용하는 FCBGA 기판은 초고밀도의 배선을 갖추고 있습니다. Flip Chip 기술과 극초단파 기판 기술을 결합한 fcBGA 패키지는 최고의 전기적 성능을 이끌어내기 위해 전기적으로 조절이 가능합니다. 전기 함수가 정해진 후에는 Flip Chip 특유의 설계 유연성을 통해 최종 패키지 설계 시 선택의 폭이 넓어집니다. 다양한 최종 애플리케이션의 요구사항을 충족하기 위해서 엠코는 다양한 유형의 FCBGA 패키지를 제공합니다.

다양한 FCBGA 패키지 옵션에서 최종 제품의 특정 열 요구사항에 맞게 선택할 수 있습니다. 고성능 ASIC 제품에는 Cu 히트 스프레더에 직접 부착할 수 있는 Controlled Bondline Die를 사용하는 Lidded 형식을 사용하여 패키지와 열방출을 위한 외부장치 간 열 저항 (Theta JC)를 최소한으로 낮춥니다. Cu 히트 스프레더는 다이에서 발생하는 열을 패키지 주변부와 마더보드로 분산시키는 역할을 합니다.

저전압 제품은 일반적으로 베어 다이 혹은 몰드 타입을 활용합니다. 이러한 Flip Chip 구조의 경우, 솔더 범프와 Substrate 의 Core Via 경로를 통하여 다이에서 발생하는 열을 낮은 저항으로 마더보드까지 방출할 수 있습니다.

이러한 IC 패키지 기술은 HPC(High Pin Count) 또는 고성능 ASIC에 사용됩니다. 대형 fcBGA는 인터넷, 워크스테이션 프로세서 및 고대역폭 시스템 통신장비에 적합한 패키지 솔루션입니다. Flip Chip 인터커넥트 기술을 이용함으로써, 기존의 표면 실장 패키지와 같은 크기로 수천 개의 커넥션을 지원하는 패키지를 사용할 수 있습니다. fcBGA는 게임 시스템 프로세서 및 그래픽, 최신 휴대용 기기의 고성능 프로세서에도 사용 가능합니다.

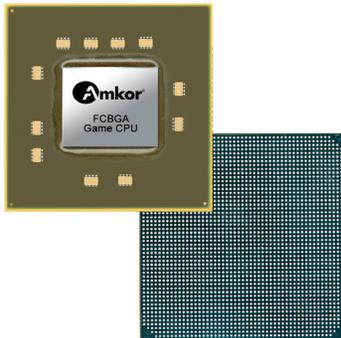
Package Options

- ▶ 웨이퍼 노드 : 7 nm 이상 인증 완료 (5 nm 개발 중)
- ▶ 기판의 상부 혹은 하부에 SMT 컴포넌트 구현 가능
- ▶ 멀티 다이 지원
- ▶ 패키지 상단에 메모리 컴포넌트 탑재 가능
- ▶ 다양한 리드(Lid) 재료 옵션
- ▶ 그라운드 리드 대응
- ▶ 맞춤형 BGA 사이즈 가능

Flip Chip BGA Package (Cont.)

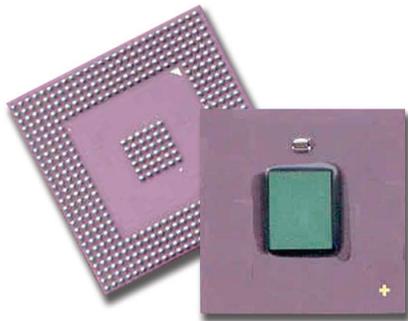
Technology

- ▶ 기판
 - ▷ 4-18 layer 라미네이트 빌드 업 기판
 - ▷ 높은 CTE 세라믹
 - ▷ 코어리스(coreless)
- ▶ 범프 유형
 - ▷ Eutectic Sn/Pb 공정
 - ▷ Pb-free
 - ▷ Cu pillar (영역 배열과 미세 피치 주변 장치)
- ▶ 패키지 형태
 - ▷ 베어 다이
 - ▷ 두께
 - ▷ 성형
- ▶ 어레이 범프 피치 : 최소 90 μm
- ▶ 주변부 범프 피치 : 최소 100 μm
- ▶ 다이 크기 : 최대 29 mm
- ▶ 패키지 크기 : 10~66 mm (85 mm 개발 중)
- ▶ BGA 크기 : 0.4 mm, 0.5 mm, 0.65 mm, 0.8 mm, 1.0 mm 피치



FCBGA/LGA (Bare die)

주로 그래픽, PC 칩셋 및 저가형 ASIC 애플리케이션용 Flip chip 패키지 솔루션



fcCeramic CBGA/CLGA/CLLGA/solder column interposer

Flip chip 제품용 일반 패키지 솔루션

Flip Chip CSP Package

Features

- ▶ 고주파 애플리케이션을 위한 설계
- ▶ 타겟 시장 – 휴대 전화, 휴대용 전자 제품
- ▶ 얇은 코어 라미네이트 또는 세라믹 패키지 구조
- ▶ 처리 및 차상위 안정성을 고려한 오버 몰드 설계
- ▶ 패키지 크기 : 3~15 mm
- ▶ 범프 피치 주변 배열(peripheral array) : 최소 150 μm
영역 배열(area array) : 최소 250 μm
- ▶ 0.5~1.0 mm BGA 또는 LGA 인터넥트 사용 가능
- ▶ LGA 연결을 위한 최소 패키지 두께는 0.8 mm
0.5 mm BGA 피치를 위한 최소 두께는 1.0 mm
0.8 mm BGA 피치를 위한 최소 두께는 1.2 mm



fcCSP

CSP 패키지 용 Flip chip 솔루션

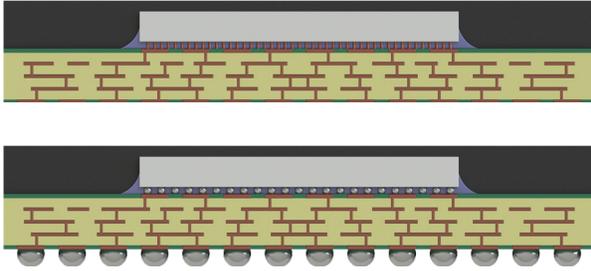
Flip Chip System in Package (SiP)

Flip chip SiP 패키지는 기존의 와이어 본드 인터넥트 대신 flip chip 연결 기술을 사용하는 앰코의 SiP 패키지입니다. 이 패키지에는 2 Layer 또는 4 layer 고밀도 기판에 내장된 기존의 솔더 범프 또는 솔더 처리된 Cu pillar 범프를 사용한 실리콘, GaAs 디바이스 및 다수의 수동 부품이 포함될 수 있습니다. 이러한 패키지 형태는 크기, 성능 및 비용상의 이점으로 RF 전력 증폭기 및 RF 프론트엔드 모듈 애플리케이션에서 수요가 증가하고 있습니다.

범프 높이를 조정하여 연결 임피던스를 예측할 수 있어 제품 성능이 상당히 안정적입니다. '습윤 팁(Wetting Tip)'의 솔더 양을 줄여 다이 아래의 솔더 마스크를 제거할 수 있습니다. 이에 따라 기판의 복잡성과 비용을 줄이고 RF 애플리케이션에 필요한 미세 피치 FC 인터커넥션을 어렵게 만드는 장애물을 제거합니다. 몰드 캡 두께가 0.9 mm인 경우, Flip chip 인터커넥션은 웨이퍼 백그라운드링이 필요 없어, 제품 비용이 추가 절감되고 공정이 단순화될 수 있습니다.

Flip Chip SiP (Cont.)

RF 애플리케이션용 패키지는 I/O 수가 적고, 크기는 매우 작습니다. 다이 아래의 솔더 마스크를 제거하여 (교착 상태를 증가시킴) 트랜스퍼 몰드를 가능하게 해줍니다. 따라서 언더필 공정을 제외할 수 있어 상당한 비용 절감이 가능합니다. 연구에 따르면, 트랜스퍼 몰딩 패키지는 다이 내부 응력의 균형과 개선된 솔더 CTE 매칭으로 인해 MSL 뿐만 아니라 온도 사이클링, HAST 등과 같은 확장된 신뢰성 테스트에서 언더필 패키지보다 더 높은 신뢰성을 보였습니다.



Copper pillar or solder bump for GaAs and Si applications in LGA or BGA format

Wafer Level Packaging – CSP^{nl}

CSP^{nl}은 패드를 JEDEC 표준 피치로 라우팅하는 박막 재분배 프로세스를 통합하여 향상된 차상위 보드 신뢰성을 제공하는 웨이퍼 레벨 패키지입니다. 표준 "CSP" 솔더 범프는 재라우팅된 패드에 형성됩니다. CSP^{nl}은 업계 표준의 표면실장 어셈블리 및 리플로우 기술을 사용하도록 설계되었습니다. 표준 SMT 장비를 사용하고 언더필의 필요성을 배제함으로써 사용자는 다른 JEDEC 표준 영역 어레이 패키지와 관련된 많은 비용상의 이점을 경험할 수 있습니다.

Features

- ▶ 표준 JEDEC 피치 및 CSP 솔더볼 직경 적용
- ▶ 표준 SMT 어셈블리 및 테스트 지원
- ▶ 비용 효율이 높은 박막 재배선 기술 활용
- ▶ 후면 레이저 마킹 가능
- ▶ 대부분의 애플리케이션에서 언더필 불필요
- ▶ 테스트, 테이프 & 릴 서비스를 포함한 풀 턴키 CSP^{nl} 프로세스
- ▶ Eutectic lead-free 솔더볼
- ▶ 폴리이미드 리패시베이션(polyimide repassivation) 가능
- ▶ 검증된 대량 생산
- ▶ 검증된 신뢰성 - 드롭, 밴드 및 키 펀치를 포함한 모든 핸드셋 기계적 신뢰성 테스트의 합격점을 초과 달성



보다 자세한 내용은 홈페이지 amkor.com을 방문하시거나 sales@amkor.com으로 문의하여 주시기 바랍니다.

본 문서의 모든 콘텐츠는 저작권법에 따라 무단복제 및 배포를 금지하며, 제공된 정보의 정확성을 보장하지는 않습니다. 앰코는 본 문서의 정보사용에 따른 특허나 라이선스 등과 관련된 어떠한 형태의 피해에 대해서도 책임을 지지 않습니다. 본 문서는 앰코의 제품보증과 관련하여 표준판매약관에 명시된 것 이상으로 확대하거나 변경하지 않습니다. 앰코는 사전고지 없이 수시로 제품 및 제품정보를 변경할 수 있습니다. 앰코의 이름 및 로고는 Amkor Technology, Inc.의 등록상표입니다. 그 외 언급된 모든 상표는 각 해당 회사의 자산입니다.
© 2021 Amkor Technology, Incorporated. All Rights Reserved. TS102P-KR Rev Date: 02/21