

WLSiP & WL3D

Embedded Wafer Level System Integration

Amkor Technologyは、幅広いヘテロジニアス システムインテグレーション パッケージソリューションを可能にするWLFO（Wafer Level Fan-Out）パッケージを世界で最初に提供したメーカーのひとつです。これは以下のようなものが含まれます：シングル/マルチチップ、パッシブやセンサー混載あり/なしのWLSiP（Wafer Level System-in-Package）、ウェハレベルPoP/face-to-faceパッケージを含むWL3D（3D package stacking solutions）。

最適なソリューションを提案するには、お客様のニーズを正確に把握する必要があります。そのため、Amkorのパッケージングソリューションはお客様との協調により開発され、多くの場合チップ・パッケージ・ボードの設計という初期段階からパートナーシップを結んでいます。Amkorは、アドバンストパッケージングにおける成熟度および革新的なソリューションの量産ポートフォリオで知られています。これらには高信頼性のWLCSPなどが含まれます。

当社の経験豊富なR&Dチームにより幅広いアプリケーション向けの革新的なパッケージやシステムソリューションなどを設計および開発することで、製品のコンセプトフェーズから市場投入までをサポートします。

Amkorはウェハレベルパッケージングのリーディングカンパニーとして、最先端の300 mmウェハプロセス設備を用いてワールドクラスのターンキーソリューションを提供しています。さらに、市場投入までの時間、コスト効率、歩留りなどの主要な指標において常にトップレベルのソリューションを提供します。

Reliability: Board Level Tests

さまざまなWLSiPおよびWL3Dパッケージの構成や配置に対応することにより、お客様が製品に求める性能や信頼性の要件を実現します。

Test	Specification	Criteria
Lower Complexity WLSiP		
Temperature Cycling on Board (TCoB)	IPC-9701 Condition TC3 -40°C/+125°C, 1 Cy/Hr	1000x
Drop Test (DT)	JEDEC JESD-22-B111	100 Drops
Higher Complexity WL3D		
Temperature Cycling on Board (TCoB)	IPC-9701 Condition TC3 -40°C/+125°C, 1 Cy/Hr	1000x
Drop Test (DT)	JEDEC JESD-22-B111	30 Drops
Temperature Humidity Bias (THB)	JEDEC JESD-22-A101	85°C/85% RH/Vcc, 1000 Hours

ADVANCED PACKAGING SOLUTIONS

- ▶ WLSiPサイド バイ サイド マルチチップモジュール
- ▶ パッシブおよびリードレスパッケージ混載WLSiP
- ▶ WLSiPポートフォリオ：2 x 3 mm²（2コンポーネント）～33 x 28 mm²（10コンポーネント）
- ▶ TPV（Through Package Via）を用いてWLSiPと他のパッケージをスタックすることにより実現されるWL3D PoP（Package-on-Package）
- ▶ Flip chipとWLFOパッケージのF2Fアセンブリにより実現される3Dインテグレーション

APPLICATIONS

- ▶ モバイル、コンシューマー、ベースバンド、RF/ワイヤレス、アナログ、パワーマネジメント
- ▶ ASIC、MEMS、医療、セキュリティ、暗号処理、DC/DCコンバーター、レーダー、自動車向けのシステムソリューション
- ▶ Optical WLSiP、M2M通信およびIoT（Internet of Things）へのソリューション
- ▶ より幅広い分野のアプリケーションへの適用が進んでいます

WLSiP & WL3D

Design Features

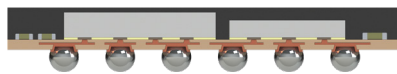
- ▶ パッケージサイズ：2 x 3 mm²~33 x 28 mm²
- ▶ パッケージ厚：0.275 mm (WLSiP -マルチチップモジュール) ~1.900 mm (WL3D)
- ▶ 最大10個のアクティブチップと50個のパッシブ混載 WLSiP
- ▶ 最小パッケージ貫通ビア (TPV) ピッチ：0.350 mm
- ▶ BGAピッチ：~0.350 mm
- ▶ 最小チップ間距離：0.100 mm
- ▶ パッシブ-チップ間/パッシブ-パッシブ間最小距離：0.150 mm
- ▶ 最小チップTPVパッドピッチ：0.050 mm、開口 0.045 mm
- ▶ 底面Cu-RDL最小ライン/スペース：0.010 mm/0.010 mm、多層RDL
- ▶ 上面Cu-RDL最小ライン/スペース：0.020 mm/0.020 mm、単層RDL

Differentiation

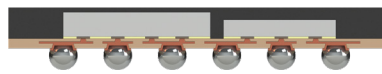
- ▶ 高集積密度に最適なチップ間距離
- ▶ 多層RDLおよび両面RDL (WLFO底面および上面)
- ▶ TPVコンセプトにより3Dスタッキングを実現
- ▶ スモールフォームファクター (フットプリントまたはZ高さのニーズに基づく最適化)
- ▶ 同じWLFO底面にBGAボールアタッチとフリップチップアンダーフィル搭載
- ▶ 複数の異種アクティブチップ (Si, GaAs, SiGe)、パッケージング後のチップ、パッシブ、光学素子、センサー、およびMEMSのヘテロジニアスインテグレーション

Cross Sections

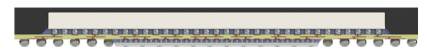
WLFO-Based Embedded Wafer Level System Integration Portfolio



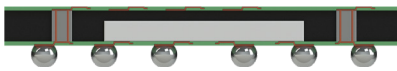
WLSiP passives integration



WLSiP multi-chip module



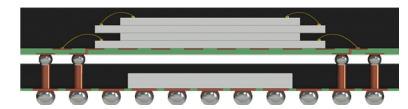
WL3D face-to-face



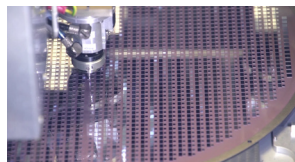
WL3D RDL on both sides through package vias



WLSiP multi-chip module



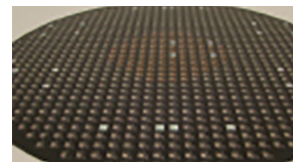
WL3D Package-on-Package, face-to-face, through package vias



Dual die package pick & place



WLSiP before molding



WLSiP after molding



Cross section through package vias



詳細についてはamkor.comにアクセスしていただくか、またはsales@amkor.com までメールをお送りください。

本文中の情報に関して、Amkorはそれが正確であることまたは係る情報の利用が第三者の知的権利を侵害しないことについて、如何なる保証も致しません。Amkorは同情報の利用もしくはそれに対する信頼から生じた如何なる性質の損失または損害についても責任を負わないものとし、また本文書によって如何なる特許またはその他のライセンスも許諾致しません。本文書は、如何なる形でも販売の標準契約条件の規定を超え、如何なる製品に対しても、Amkorの保証を拡張させ、または変更することはありません。Amkorは通知することなくいつでもその製品および仕様に変更を行う権利を留保します。Amkorの名前とロゴはAmkor Technology, Inc.の登録商標です。記載されている他の全ての商標はそれぞれの会社の財産です。© 2019 Amkor Technology, Incorporated. All Rights Reserved. DS703B-JP Rev Date: 08/19

