

Package-on-Package (PoP)

Bottom PoP Technologies

앰코의 PSfcCSP(Package Stackable Very Thin Fine Pitch BGA) 플랫폼은 와이어본드나 하이브리드(FC+와이어본드)를 사용한 단일/적층 칩에 대응하며, FC(Flip Chip) 애플리케이션에 적용되어 뒤틀림/변형을 줄이고 테스트와 SMT 핸들링 과정에서 패키지 무결성을 개선합니다.

휴대용 마이크로프로세서가 높은 I/O를 갖춘 고속 코어를 탑재한 고급 CMOS 노드로 전환되면서, 칩의 설계 방식 역시 와이어본드에서 FC 설계로 이행되고 있습니다. Flip chip은 앰코가 Package Stackable Flip Chip Chip Scale Package (PSfcCSP)로 명명하는, PSvfBGA의 패키지 적층 설계 기능을 fcCSP 어셈블리에 통합한 칩 뒷면 노출형 패키지를 가능하게 했습니다. PSfcCSP는 센터 몰드되는 PSvfBGA 구조에서 과제라고 할 수 있는 0.5 mm 미세 피치의 적층 인터페이스가 가능하며, 얇은 FC 칩 구조를 갖추고 있습니다.

지속적인 개발의 결과, 앰코는 새로운 메모리 아키텍처에 PoP의 실장 면적과 높이의 감소를 조합하여 고밀도 적층 인터페이스를 요구하는 모바일 멀티미디어 애플리케이션 용 PoP 애플리케이션 2세대 생산에 동참하게 되었습니다. 기존의 PSvfBGA, PSfcCSP 구조는 메모리 인터페이스 밀도와 피치에 대한 대응을 제한하기 때문에 새로운 하부 PoP 구조가 필요했습니다.

앰코는 몰드 캡을 관통하는 연결 via를 갖춘 차세대 PoP 솔루션을 제공하는 최신 기술을 개발하고 Through Mold Via (TMV[®]) 기술이라 이름 붙였습니다. TMV[®] 기술은 칩 대 패키지 비율이 더 크면서도 더 얇은 기판을 사용할 수 있게 하는 안정된 하부 패키지를 제공합니다. TMV[®]에 의해 PoP는 단일 또는 적층 칩, FC 설계에 대응이 가능하며, 새로운 0.4 mm 피치 저전력 DDR3, DDR4 및 후속 메모리 인터페이스 요구사항에 이상적인 솔루션입니다. 또한, 0.3 mm 이하의 슬더 볼 피치의 적층 인터페이스에 대응 가능합니다.

앞으로도 통신, 인공지능 및 네트워크 애플리케이션을 위해 더 높은 신호 처리 기술 및 데이터 저장 능력이 요구될 것이기 때문에 향후 몇 년간 PoP에 많은 과제와 애플리케이션이 더해질 것입니다. 앰코는 차세대 PoP 요구사항을 충족할 수 있도록 고도의 개발과 생산 역량을 유지하겠습니다.

Applications

PoP 패키지는 여러 개의 버스와 향상된 메모리 밀도 및 성능 등 효율적인 메모리 아키텍처가 요구되는 제품을 위해 설계되었고, 실장 면적도 줄여줍니다. 스마트폰 등의 휴대 기기(베이스밴드 혹은 애플리케이션 프로세서와 콤보 메모리), 디지털카메라(이미지 프로세서와 그 메모리), 휴대용 미디어 플레이어(오디오/그래픽 프로세서와 메모리), 게임 및 기타 모바일 애플리케이션과 같은 휴대용 전자제품은 앰코의 PoP 제품군을 이용함으로써 적층형 패키지와 작은 사이즈라는 큰 이점을 얻을 수 있습니다.

BENEFITS AS AN ENABLING TECHNOLOGY

PoP는 3D 스택 아키텍처 로직 및 메모리 장치를 비용 효율적으로 통합할 수 있는 유연한 플랫폼을 제공합니다. PoP를 통한 통합은 다음의 기술 및 비즈니스/물류상의 이점을 제공합니다.

- ▶ 적층에 필요한 비즈니스 물류상의 문제를 단순화시켜 기기 자체와 공급업체의 선택을 대폭 확대
- ▶ 메모리 아키텍처를 포함한 스택 조합이 시스템 요구 사항을 충족하게 하는 시스템 레벨에서의 통합 제어
- ▶ JEDEC 표준은 광범위한 구성 요소 적용 보장
- ▶ 제품 출시에 소요되는 시간, 재고 관리 및 공급망 유연성을 개선
- ▶ 효율적인 스택킹을 통한 비용 절감, 패키지를 다른 애플리케이션에 활용해 유용 범위 확대
- ▶ 로직과 메모리의 복잡한 3D 통합이 요구되는 상황에서 총 비용 절감 가능

Features

- ▶ 바디 사이즈: 제품 테이블당 10~15mm, 수요에 따라 크기 추가
- ▶ 상부 패키지 I/O 인터페이스: 0.65 mm 피치 (104~160 핀 지원)
- ▶ 웨이퍼 박형화 및 핸들링 <100 μm
- ▶ 일관된 제품 성능과 신뢰성을 갖춘 검증된 PoP 플랫폼
- ▶ JEDEC 표준을 준수하는 패키지 구성
- ▶ 하단 PSvFBGA 및 상단 FBGA/Stacked CSP 패키지는 많은 지역 및 공장 지원으로 대량 생산 체제가 잘 확립되어 있음
- ▶ 높이 1.3 mm~1.5 mm에서 다양한 구성의 스택 패키지 라인업(다음 페이지의 Stack Up Table 참조)

Standard Materials

- ▶ 표준 RoHS 및 친환경 재료 세트 사용 가능
- ▶ 패키지 기판
 - ▷ 도체 층: Cu
 - ▷ 절연 층: 평면 코어 FRS 또는 이에 상응하는 재료
- ▶ 칩 부착 접착제: 전도성 또는 비전도성 접착제
- ▶ 몰드 수지: 에폭시 몰드 화합물
- ▶ 솔더볼: 무연

Reliability Qualification

앰코는 다음의 중요 지표를 지속적으로 모니터링하여 성능 신뢰성을 보장합니다.

Package Level

- ▶ MSL: JEDEC level 3 @ 260°C x 4 reflows
- ▶ 추가 테스트 데이터: 30°C, 85% RH, 96 hours @ 260°C x 4
- ▶ uHAST: 130°C, 85% RH, 96 hours
- ▶ 온/습도: 85°C, 85% RH, 1000 hours
- ▶ 온도사이클(TC): -55°C/+125°C, 1000 cycles
- ▶ 고온방치(HTS): 150°C, 1000 hrs

Board Level

- ▶ 온도사이클: -40°C/+125°C, 1000 cycles

Package Dimensions

- ▶ PSvFBGA: 10 x 10 mm~15 x 15 mm
- ▶ PSfcCSP: 12 x 12 mm~13 x 13 mm
- ▶ TMV® PoP: 12 x 12 mm~14 x 14 mm

Shipping

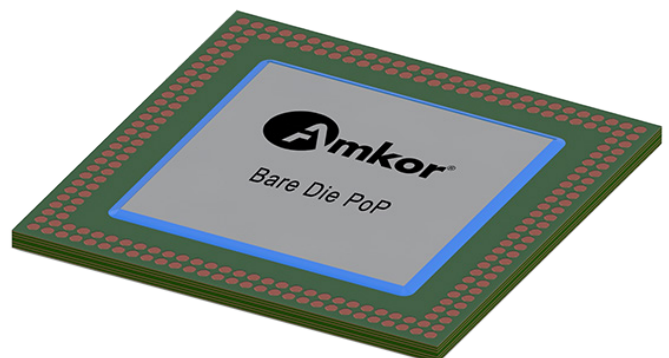
- ▶ JEDEC 트레이

Process Highlights

- ▶ 칩 두께: 75~125 μm
- ▶ 본딩 패드 피치(최소): 45 μm(인라인)
- ▶ 마킹: 레이저
- ▶ 범프 피치(최소): 200 & 300 mm 웨이퍼

Test Services

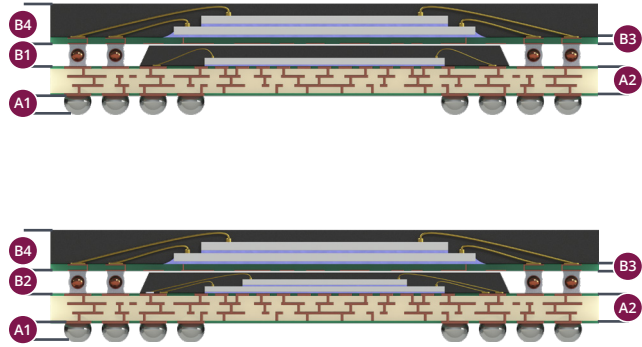
- ▶ 프로그램 생성/변환
- ▶ 제품 엔지니어링
- ▶ 양면 접촉 시스템 사용 가능
- ▶ 테이프 및 릴 서비스



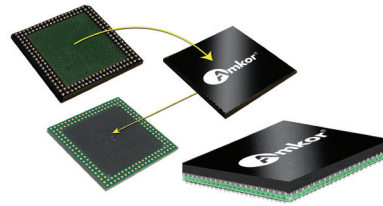
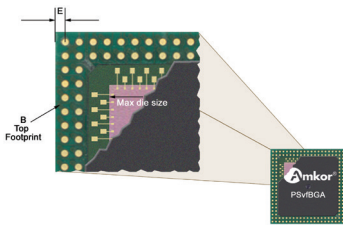
Cross Section PoP

PoP Overall Stack Up Table (mm)

Symbol	FBGA + PSvfBGA		
	Min	Max	Nom
A1 (Mounted, 0.5 Pitch)	0.180	0.280	0.230
A2 (4L Laminate)	0.260	0.340	0.300
B1 (Stacked, 0.65 Pitch), Single Die	0.270	0.330	0.300
B2 (Stacked, 0.65 Pitch), 2+0 Die	0.320	0.380	0.350
B3 (2L Laminate)	0.100	0.160	0.130
B4 (Mold Cap)	0.370	0.430	0.400
Overall Package Height	1.300	1.500	1.400

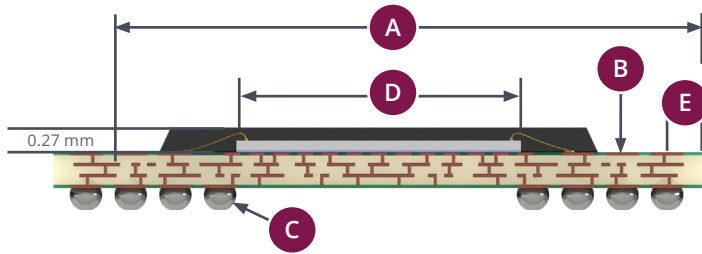


PSvfBGA Top View



Stacked Package

Cross Section PSvfBGA



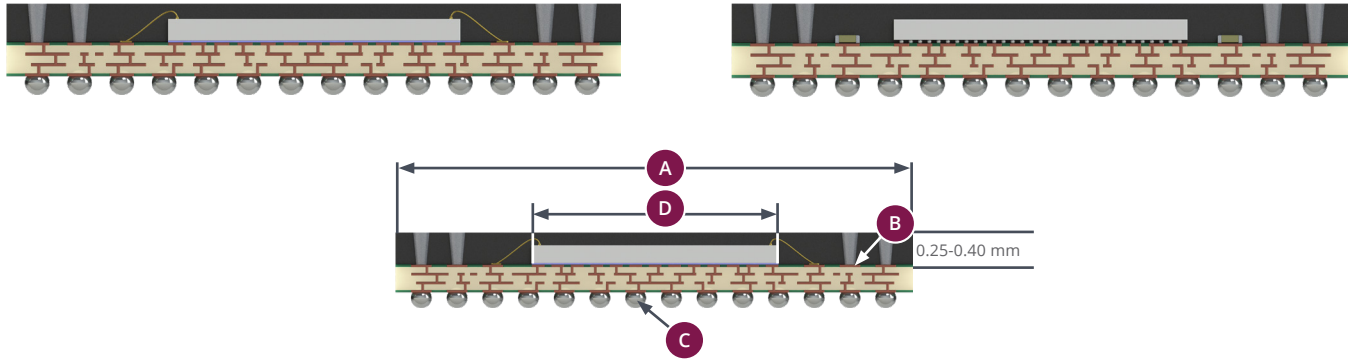
- A Package size
- B Top footprint
- C Bottom footprint
- D Max die size

PSvfBGA Design Table For 0.65 mm Pitch 2 Row Stacked Interfaces

A Body Size (mm)	B Package Interconnect		C Bottom Package Ball Count Nom	D Die Size (mm)	E Package Interconnect Ball Center To Package Edge (mm)	Typical Wirecount For Given Package Size
	Matrix	Ball Count				
10	15	104	300	< 5.50	0.450	320
11	16	112	350	< 6.00	0.625	360
12	18	128	400	< 7.50	0.475	420
13	19	136	450	< 8.00	0.650	460
14	21	152	550	< 9.00	0.500	520
15	22	160	650	< 10.00	0.675	600

크기는 JEDEC JC-11 개발 단계의 PoP 패키지 표준을 따릅니다
 B - 0.65 mm 피치의 인터커넥트 주변부 2열 기반
 C - 0.50 mm 피치의 BGA 볼-메인보드 주변부 4열 기반

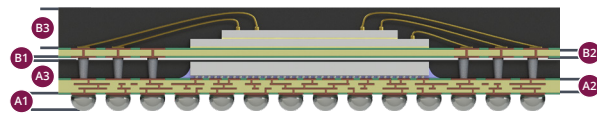
Cross Section TMV® PoP



TMV® Design Table For 0.4 mm Pitch 2 Row Stacked Interfaces

A	B		C	D	E
Body Size (mm)	Package Interconnect - 2 Rows		Bottom Package 0.4 mm Pitch (Full Matrix)	Max Die Size Flip Chip (mm)	Package Interconnect Ball Center To Package Edge (mm)
	Matrix	Top Ball Count			
10	23	168	529	7.00	6.00
11	26	192	676	8.00	7.00
12	18	128	400	< 7.50	0.475
13	19	136	450	< 8.00	0.650

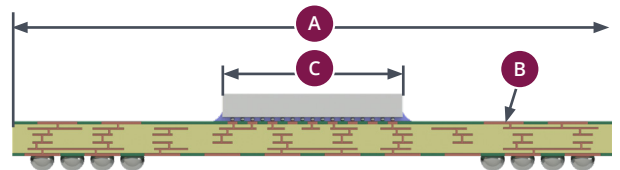
Cross Section TMV® PoP



TMV® Overall Stack Up Table (mm)

Symbol	Min	Max	Nom
A1 (Mounted, 0.4 pitch)	0.100	0.200	0.150
A2 (4L Laminate)	0.220	0.300	0.260
A3 (Mold Cap)	0.230	0.280	0.250
B1 (Stacked Gap)	0.020	0.080	0.050
B2 (2L Laminate)	0.100	0.160	0.130
B3 (Mold Cap)	0.370	0.430	0.400
Overall Package Height	1.140	1.340	1.240

Cross Section PSfcCSP



PSfcCSP Design Table For 0.5 mm Pitch 2 Row Stacked Interfaces

A	B		C
Body Size (mm)	Package Interconnect		Die Size (mm)
	Matrix	Ball Count	
10	19	136	< 6.00
11	21	152	< 7.00
12	23	168	< 8.00
13	25	184	< 9.00
14	27	200	< 9.50
15	29	216	< 10.00



보다 자세한 내용은 홈페이지 amkor.com을 방문하시거나 sales@amkor.com으로 문의하여 주시기 바랍니다.

본 문서의 모든 콘텐츠는 저작권법에 따라 무단복제 및 배포를 금지하며, 제공된 정보의 정확성을 보장하지 않습니다. 앰코는 본 문서의 정보사용에 따른 특허나 라이선스 등과 관련된 어떠한 형태의 피해에 대해서도 책임을 지지 않습니다. 본 문서는 앰코의 제품보증과 관련하여 표준판매약관에 명시된 것 이상으로 확대하거나 변경하지 않습니다. 앰코는 사전고지 없이 수시로 제품 및 제품정보를 변경할 수 있습니다. 앰코의 이름 및 로고는 Amkor Technology, Inc.의 등록상표입니다. 그 외 언급된 모든 상표는 각 해당 회사의 자산입니다.
© 2019 Amkor Technology, Incorporated. All Rights Reserved. TS114A-KR Rev Date: 02/19

