

Package-on-Package (PoP)

Bottom PoP Technologies

AmkorのPSvfBGA (Package Stackable Very Thin Fine Pitch BGA) は、シングルチップおよびワイヤボンドまたはハイブリッド (FC+ワイヤボンド) を使用したスタックチップに対応し、テストやSMTハンドリング時のパッケージ反りの低減やパッケージ品質を改善するためにフリップチップ (FC) アプリケーションに適用されています。

小型機器向けのマイクロプロセッサがより高いI/O数を備えた高速コアを有する高度なCMOSノードへ発展するのに伴い、チップの接続方法はワイヤボンドからフリップチップへと移行しています。PSfcCSP (Package Stackable Flip Chip Chip Scale Package) は、fcCSPの組立フローとPSvfBGAのパッケージスタッキング技術を統合し、チップ裏面露出型パッケージを可能にしました。PSfcCSPは、センターモールドを行うPSvfBGAで課題とされていた0.5 mmのファインピッチのスタック接続を可能にする薄型のチップ露出構造を備えています。

継続的な開発の結果、Amkorは、新しいメモリアーキテクチャにPoPの実装面積と高さの低減を組み合わせるより高密度のスタックインターフェイスを求められる、モバイルマルチメディアアプリケーションに使用されるPoPアプリケーションの2nd世代に参入しました。旧来のPSvfBGAやPSfcCSP構造ではメモリアインターフェイスの密度とピッチへの対応を制限してしまうことから、新たなPoP構造が必要とされていました。

Amkorはモールドキャップにインターコネクティブを備えた次世代PoPソリューションの新たなテクノロジーを開発しました。TMV® (Through Mold Via) と呼ばれるこの技術は、下部パッケージのパッケージサイズに対するチップ占有比率を拡大し、また薄型基板の使用を可能にします。TMV®は、0.4 mmピッチ低電力DDR2メモリアインターフェイスに対する理想的なソリューションであり、0.3 mmピッチまたはそれ以下のはんだボールピッチを実現し、スタック接続に必要な面積縮小を可能にします。

今後も小型マルチメディア機器がより高速な信号処理力やストレージ容量を要求し続けるにつれ、PoPに関する多くの新しい課題やアプリケーションが登場することが予想されています。Amkorは次世代のPoPの要件を満たすリーディングカンパニーであり続けるため、技術開発力と量産能力を継続的に向上して参ります。

Applications

PoPパッケージは、フットプリントを低減する一方でマルチバス、メモリ密度とパフォーマンスの向上など、効率的なメモリアーキテクチャを必要とする製品向けに設計されています。スマートフォンなどの携帯機器 (ベースバンドまたはアプリケーションプロセッサ+コンボメモリ)、デジタルカメラ (イメージプロセッサ+メモリ)、ポータブルメディアプレーヤー (オーディオ/グラフィックスプロセッサ+メモリ)、ゲーム機器およびその他のモバイルアプリケーションなどのポータブルデバイスはAmkorのPoPが提供するスタックパッケージと小フットプリントがメリットを発揮します。

BENEFITS AS AN ENABLING TECHNOLOGY

PoPは、3Dスタックアーキテクチャにロジックとメモリのデバイスを効率的に統合するための柔軟なプラットフォームを提供します。PoPを使用したインテグレーションは、技術面およびビジネス/ロジスティクス面でのメリットを提供します。

- ▶ チップスタックのロジスティクスを簡素化することにより、デバイスとサプライヤーの選択肢を大幅に拡大
- ▶ システムの要件を満たす最適なスタックを提案するためシステムレベルでインテグレーションを制御
- ▶ JEDEC規格により広範なコンポーネントが適用可能
- ▶ 市場への製品投入までの時間短縮、在庫管理、サプライチェーンの柔軟性を向上
- ▶ 効率的なスタッキングによるコスト削減、パッケージの他アプリケーションへの流用範囲を拡大
- ▶ ロジックとメモリの複雑な3D統合が必要とされる製品においてトータルコストを低減

Features

- ▶ ボディサイズ：10～15 mm標準、デマンドに応じサイズ追加
- ▶ TOPパッケージI/Oインターフェイス：0.65 mmピッチ（104～160ピン対応）
- ▶ ウェハ薄型化／ハンドリング <100 μm
- ▶ 安定した製品パフォーマンスと信頼性を備えた実績のあるPoPプラットフォーム
- ▶ JEDECスタンダード準拠
- ▶ ボトムにPSvfBGA、トップにFBGA/Stacked CSPを使用したパッケージは複数の工場において量産体制が確立されています
- ▶ 高さ1.3 mm～1.5 mmで様々な構成のスタックパッケージをラインアップ（以下のStack Up Tableを参照）

Standard Materials

- ▶ 標準RoHSおよびグリーンマテリアル対応
- ▶ パッケージ基板
 - ▷ 導体層：Cu
 - ▷ 絶縁層：薄型コアFR5または同等品
- ▶ ダイアタッチ材：導電性または非導電性
- ▶ モールド材：エポキシモールド
- ▶ はんだボール：Pbフリー

Reliability Qualification

以下の重要な指標を継続的にモニターすることにより、信頼性の高いパフォーマンスを確立します。

Package Level

- ▶ MSL：JEDEC level 3 @ 260°C x 4 reflows
- ▶ 追加テストデータ：30°C, 85% RH, 96 hours @ 260°C x 4
- ▶ uHAST：130°C, 85% RH, 96 hours
- ▶ 温度／湿度：85°C, 85% RH, 1000 hours
- ▶ TC：-55°C/+125°C, 1000 cycles
- ▶ HTS：150°C, 1000 hours

Board Level

- ▶ 温度サイクル：-40°C/+125°C, 1000 cycles

Package Dimensions

- ▶ PSvfBGA：10 x 10 mm～15 x 15 mm
- ▶ PSfcCSP：12 x 12 mm～13 x 13 mm
- ▶ TMV® PoP：12 x 12 mm～14 x 14 mm

Shipping

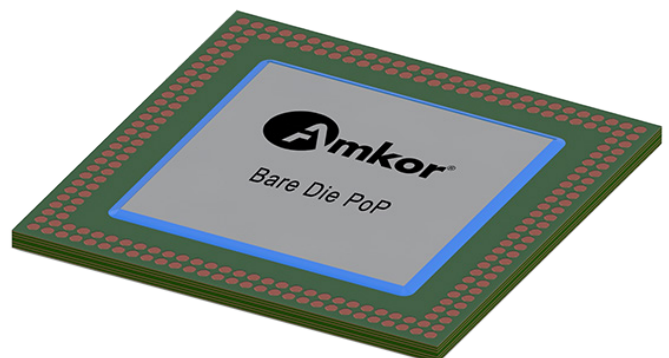
- ▶ JEDECトレイ

Process Highlights

- ▶ チップ厚：75 μm～125 μm
- ▶ ボンディングパッドピッチ（Min）：45 μm（インライン）
- ▶ マーキング：レーザー
- ▶ ウェハグラインド：200および300 mmウェハ

Test Services

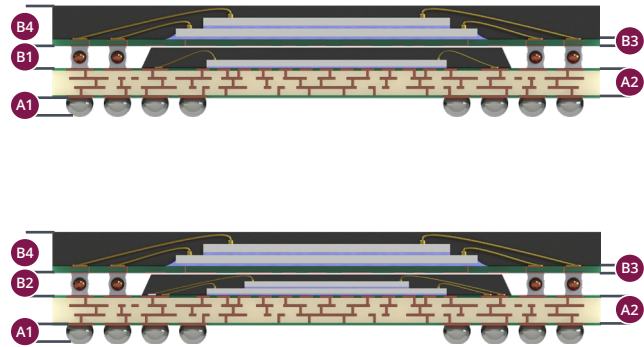
- ▶ プログラム作成／コンバージョン
- ▶ 量産エンジニアリング
- ▶ 両面コンタクトシステム対応
- ▶ テープ&リール



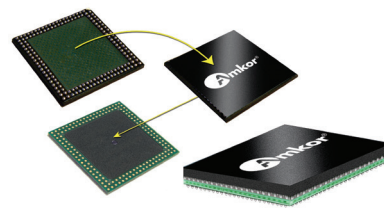
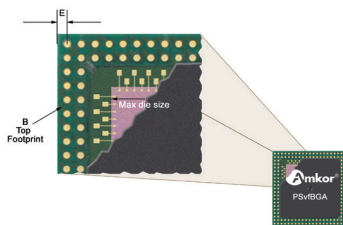
Cross Section PoP

PoP Overall Stack Up Table (mm)

Symbol	FBGA + PSvfBGA		
	Min	Max	Nom
A1 (Mounted, 0.5 Pitch)	0.180	0.280	0.230
A2 (4L Laminate)	0.260	0.340	0.300
B1 (Stacked, 0.65 Pitch), Single Die	0.270	0.330	0.300
B2 (Stacked, 0.65 Pitch), 2+0 Die	0.320	0.380	0.350
B3 (2L Laminate)	0.100	0.160	0.130
B4 (Mold Cap)	0.370	0.430	0.400
Overall Package Height	1.300	1.500	1.400

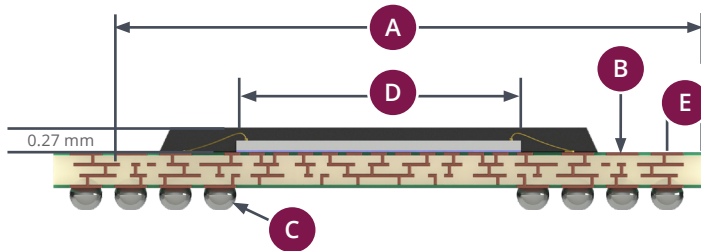


PSvfBGA Top View



Stacked Package

Cross Section PSvfBGA



- A Package size
- B Top footprint
- C Bottom footprint
- D Max die size

PSvfBGA Design Table For 0.65 mm Pitch 2 Row Stacked Interfaces

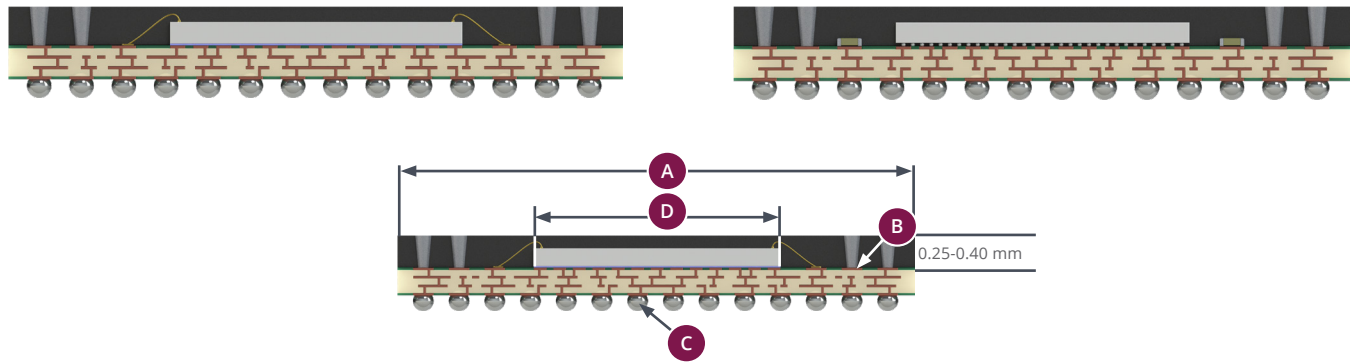
A Body Size (mm)	B Package Interconnect		C Bottom Package Ball Count Nom	D Die Size (mm)	E Package Interconnect Ball Center To Package Edge (mm)	Typical Wirecount For Given Package Size
	Matrix	Ball Count				
10	15	104	300	< 5.50	0.450	320
11	16	112	350	< 6.00	0.625	360
12	18	128	400	< 7.50	0.475	420
13	19	136	450	< 8.00	0.650	460
14	21	152	550	< 9.00	0.500	520
15	22	160	650	< 10.00	0.675	600

開発中のPoPのサイズはJEDEC JC-11に準拠

B - 0.65 mmピッチ、2列ペリフェラル配置

C - 0.5 mmピッチ、4列ペリフェラルBGAボール配置

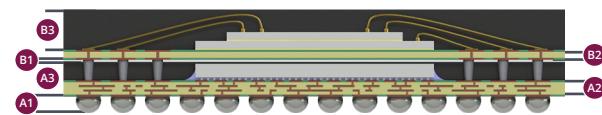
Cross Section TMV® PoP



TMV® Design Table For 0.4 mm Pitch 2 Row Stacked Interfaces

A Body Size (mm)	B Package Interconnect - 2 Rows		C Bottom Package 0.4 mm Pitch (Full Matrix)	D Max Die Size Flip Chip (mm)	E Package Interconnect Ball Center To Package Edge (mm)
	Matrix	Top Ball Count			
10	23	168	529	7.00	6.00
11	26	192	676	8.00	7.00
12	18	128	400	< 7.50	0.475
13	19	136	450	< 8.00	0.650

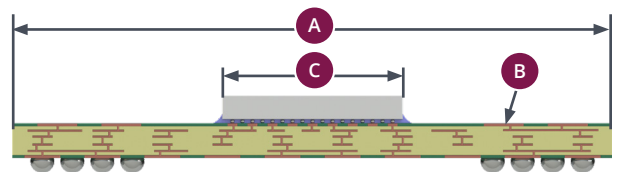
Cross Section TMV® PoP



TMV® Overall Stack Up Table (mm)

Symbol	Min	Max	Nom
A1 (Mounted, 0.4 pitch)	0.100	0.200	0.150
A2 (4L Laminate)	0.220	0.300	0.260
A3 (Mold Cap)	0.230	0.280	0.250
B1 (Stacked Gap)	0.020	0.080	0.050
B2 (2L Laminate)	0.100	0.160	0.130
B3 (Mold Cap)	0.370	0.430	0.400
Overall Package Height	1.140	1.340	1.240

Cross Section PSfcCSP



PSfcCSP Design Table For 0.5 mm Pitch 2 Row Stacked Interfaces

A Body Size (mm)	B Package Interconnect		C Die Size (mm)
	Matrix	Ball Count	
10	19	136	< 6.00
11	21	152	< 7.00
12	23	168	< 8.00
13	25	184	< 9.00
14	27	200	< 9.50
15	29	216	< 10.00



詳細についてはamkor.comにアクセスしていただくか、またはsales@amkor.com までメールをお送りください。

本文中の情報に関して、Amkorはそれが正確であることまたは係る情報の利用が第三者の知的権利を侵害しないことについて、如何なる保証も致しません。Amkorは同情報の利用もしくはそれに対する信頼から生じた如何なる性質の損失または損害についても責任を負わないものとし、また本文書によって如何なる特許またはその他のライセンスも許諾致しません。本文書は、如何なる形でも販売の標準契約条件の規定を超え、如何なる製品に対しても、Amkorの保証を拡張させ、または変更することはありません。Amkorは通知することなくいつでもその製品および仕様に変更を行う権利を留保します。Amkorの名前とロゴはAmkor Technology, Inc.の登録商標です。記載されている他の全ての商標はそれぞれの会社の財産です。© 2019 Amkor Technology, Incorporated. All Rights Reserved. TS114A-JP Rev Date: 02/19