

层叠封装 (PoP)

底部 PoP 技术

热门的 Amkor 底部可堆叠极小间距 BGA (PSvfBGA) 平台采用焊线或混合 (FC 和焊线) 堆叠支持单晶片和堆叠晶片, 它被运用于倒装芯片 (FC) 应用以通过测试和 SMT 处理改善翘曲控制和封装完整性。

随着手持微处理器过渡至采用更高速核心和更多 I/O 数量的 CMOS 节点, 焊线设计也已经发展至倒装芯片晶片设计。倒装芯片实现了外露式晶片底部封装的使用, 它在 fcCSP 组装流程中集成了 PSvfBGA 的封装堆叠设计功能, 也就是 Amkor 命名的倒装芯片尺寸可堆叠封装 (PSfcCSP)。PSfcCSP 在有薄型外露式 FC 晶片情况下可实现 0.5 mm 超细节距的堆叠接口, 而这对于中心塑封 PSvfBGA 结构曾是一大挑战。

持续地开发让 Amkor 进入了第二代 PoP 应用时代, 移动多媒体应用广泛部署在多个工厂和产品线的大批量生产中。以前的 PSvfBGA 和 PSfcCSP 结构限制了存储器接口的密度和间距, 市场对新的底层 PoP 结构的需求随之水涨船高。

Amkor 开发了全新技术, 通过互连孔穿透模塑盖来打造新一代的 PoP 解决方案, 也就是所谓的穿塑通孔 (TMV[®])。该技术提供稳定的底部封装, 让使用更大晶片/封装比的更轻薄基板成为可能。TMV[®] PoP 可以支持单晶片、堆叠晶片或 FC 设计。TMV[®] 是适用于新兴 0.4 毫米节距低功耗 DDR2 的理想解决方案, 能够满足存储器的接口要求, 使堆叠接口兼容密度为 0.3 毫米及更小的焊球节距。

未来几年里将涌现出众多新的挑战 and PoP 应用, 手持多媒体应用对于信号处理和数据存储功能的需求也将不断升高。Amkor 承诺保持一流的开发和生产能力, 以确保我们能够走在满足新一代 PoP 需求的前沿。

应用

PoP 封装专为需要高效存储器架构的产品而设计, 包括多总线, 提升存储器密度和性能, 同时减小贴装面积。便携式电子产品, 如手机 (基带或应用处理器及组合存储器)、相机 (图像处理及存储器)、便携式媒体播放器 (音频/图形处理器及存储器)、游戏和其他移动应用能够从 Amkor 的 PoP 系列的堆叠及小面积封装组合中获益。

作为使能技术的优势

PoP 为 OEM 和 EMS 供应商提供灵活的平台, 使其能通过高成本效率的方式将逻辑及存储器器件集成到 3D 堆叠架构中。以 PoP 技术进行集成可以获得以下技术和业务/后勤优势。

- ▶ 简化堆叠业务后勤, 极大地拓展器件和供应商选项
- ▶ 在系统层面对集成进行控制, 使其与堆叠组合完美匹配, 包括对系统有要求的存储器架构等
- ▶ 采用 JEDEC 标准以确保可以使用各种元件
- ▶ 加快上市时间, 改善库存管理和供应链灵活性
- ▶ 减少利润/成本叠加, 并且扩展技术的回收利用
- ▶ 当需要复杂的逻辑和存储器 3D 集成时, 在最大程度上降低持有的总成本

特色

- ▶ 按照产品规格表或指定要求将封装尺寸加工到 10-15 mm 或其他尺寸
- ▶ 顶部封装 I/O 接口 0.65 mm 节距，可容纳 104 到 160 个引脚
- ▶ 晶圆减薄/加工 <math><100\ \mu\text{m}</math>
- ▶ 成熟的 PoP 平台，始终不变的产品性能和可靠性
- ▶ 封装配置符合 JEDEC 标准
- ▶ 多个地区和工厂支持大批量生产底部 PSvfBGA 和顶部 FBGA/堆叠 CSP 封装
- ▶ 支持各种配置的 1.3 mm 至 1.5 mm 堆叠封装高度（见以下若干页上的《堆叠规格表》）

标准材料

- ▶ 提供标准 RoHS 和绿色材料组合
- ▶ 封装基板
 - ▷ 导线：铜
 - ▷ 电介质：薄基板 FR5 或同类基板
- ▶ 晶片贴装粘合剂：导电或非导电
- ▶ 密封材料：环氧树脂模塑化合物
- ▶ 焊球：无铅

可靠性认证

Amkor 通过持续地监控关键指标来确保可靠的性能。

封装级

- ▶ 抗湿性测试：JEDEC 级别 3 @ 260°C x 4 回流焊
- ▶ 其他测试数据：30°C、85% 相对湿度、96 个小时 @ 260°C x 4
- ▶ uHAST：130°C、85% 相对湿度，96 小时
- ▶ 温度/湿度：85°C、85% 相对湿度，1000 个小时
- ▶ 温度循环 -55°C/+125°C，1000 次循环
- ▶ 高温储存：150°C，1000 个小时

板级

- ▶ 热循环：-40°C/+125°C，1000 次循环

封装尺寸

- ▶ PSvfBGA：10 x 10 mm 至 15 x 15 mm
- ▶ PSfcCSP：12 x 12 mm 至 13 x 13 mm
- ▶ TMV® PoP：12 x 12 mm 至 14 x 14 mm

装运

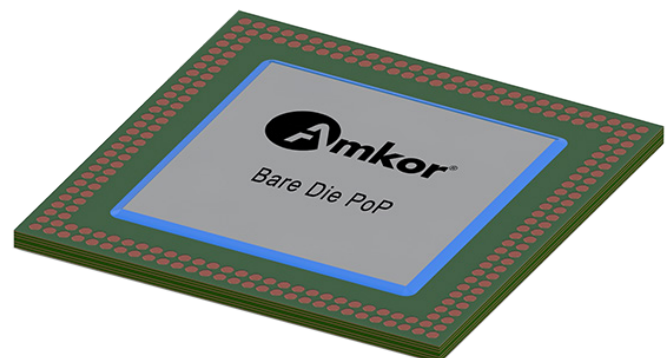
- ▶ JEDEC 托盘

工艺亮点

- ▶ 晶片厚度：75 μm 至 125 μm
- ▶ 焊盘节距（最小）：45 μm （单列）
- ▶ 打标：激光
- ▶ 凸块节距（最小）：200 & 300 mm 晶圆

测试服务

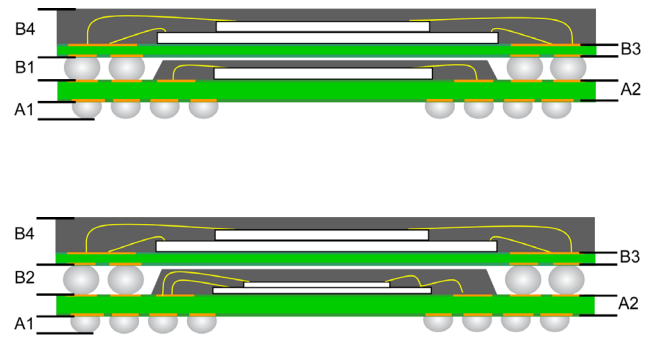
- ▶ 程序生成/转换
- ▶ 产品工程
- ▶ 支持双面接点系统
- ▶ 卷带包装服务



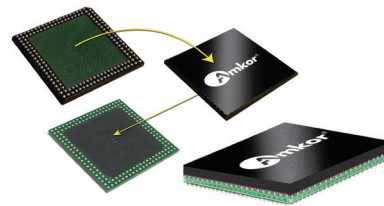
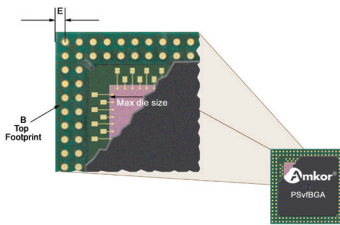
PoP 横截面

PoP 整体堆叠表 (mm)

| 符号 | FBGA + PSvfBGA | | |
|---------------------------------|----------------|-------|-------|
| | 最小 | 最大 | 标称 |
| A1 (贴装, 0.5 节距) | 0.180 | 0.280 | 0.230 |
| A2 (4 层层压板) | 0.260 | 0.340 | 0.300 |
| B1 (堆叠, 0.65 节距), 单晶片 | 0.270 | 0.330 | 0.300 |
| B2 (堆叠, 0.65 节距), 2+0 晶片 | 0.320 | 0.380 | 0.350 |
| B3 (2 层层压板) | 0.100 | 0.160 | 0.130 |
| B4 (模塑盖) | 0.370 | 0.430 | 0.400 |
| 整体封装高度 | 1.300 | 1.500 | 1.400 |

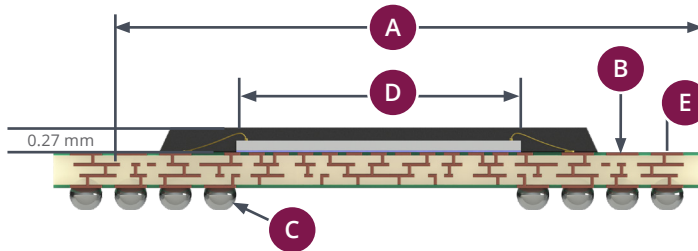


PSvfBGA 顶视图



Stacked Package

PSvfBGA 横截面



- A** Package size
- B** Top footprint
- C** Bottom footprint
- D** Max die size

PSvfBGA 设计表, 0.65 mm 节距, 2 列堆叠接口

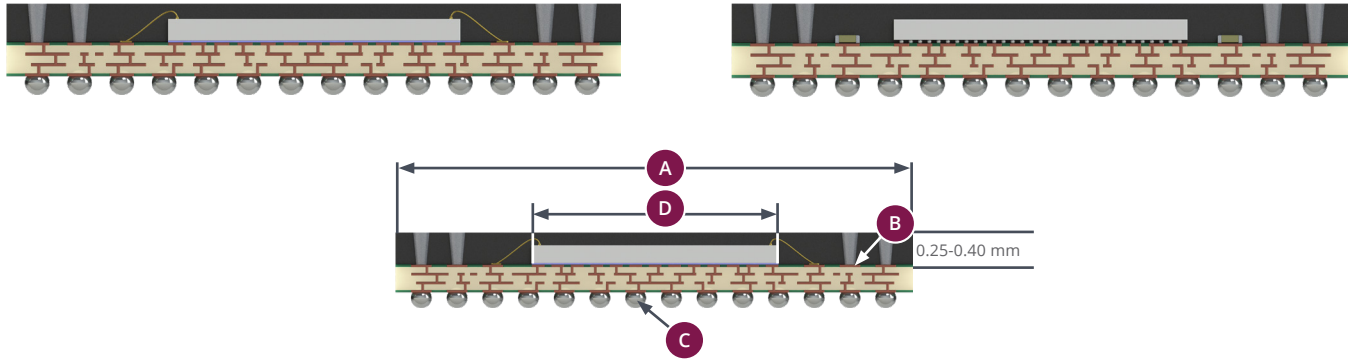
| 封装尺寸 (mm) | 封装互连 | | 底部封装球数 标称 | 晶片尺寸 (mm) | 封装互连焊球中心至 封装边缘 (mm) | 特定封装尺寸的 典型线数 |
|-----------|------|-----|-----------|-----------|---------------------|--------------|
| | 矩阵 | 球数 | | | | |
| 10 | 15 | 104 | 300 | < 5.50 | 0.450 | 320 |
| 11 | 16 | 112 | 350 | < 6.00 | 0.625 | 360 |
| 12 | 18 | 128 | 400 | < 7.50 | 0.475 | 420 |
| 13 | 19 | 136 | 450 | < 8.00 | 0.650 | 460 |
| 14 | 21 | 152 | 550 | < 9.00 | 0.500 | 520 |
| 15 | 22 | 160 | 650 | < 10.00 | 0.675 | 600 |

尺寸符合开发中的 PoP 封装的 JEDEC JC-11 标准

B - 基于互连节距为 0.65 mm 的外围 2 列

C - 基于 BGA 焊球至基板节距为 0.50 mm 的外围 4 列

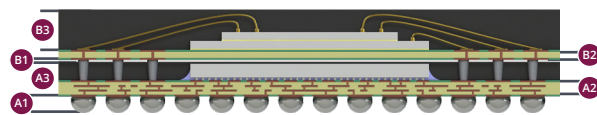
TMV® PoP 横截面



TMV® 设计表，0.4 mm 节距，2 列堆叠接口

| 封装尺寸 (mm) | 封装互连 - 2 列 | | 底部封装 0.4 mm 节距 (全矩阵) | 最大晶片尺寸 倒装芯片 (mm) | 封装互连焊球中心至封装边缘 (mm) |
|-----------|------------|------|----------------------------|------------------------|--------------------|
| | 矩阵 | 顶部球数 | | | |
| 10 | 23 | 168 | 529 | 7.00 | 6.00 |
| 11 | 26 | 192 | 676 | 8.00 | 7.00 |
| 12 | 18 | 128 | 400 | < 7.50 | 0.475 |
| 13 | 19 | 136 | 450 | < 8.00 | 0.650 |

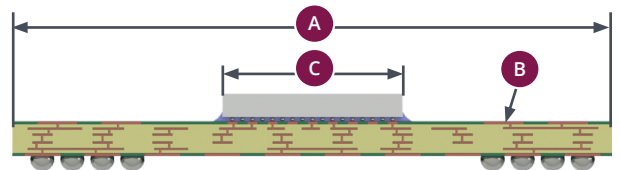
TMV® PoP 横截面



TMV® 整体堆叠表 (mm)

| 符号 | 最小 | 最大 | 标称 |
|-----------------|-------|-------|-------|
| A1 (贴装, 0.4 节距) | 0.100 | 0.200 | 0.150 |
| A2 (4 层层压板) | 0.220 | 0.300 | 0.260 |
| A3 (模塑盖) | 0.230 | 0.280 | 0.250 |
| B1 (堆叠间隙) | 0.020 | 0.080 | 0.050 |
| B2 (2 层层压板) | 0.100 | 0.160 | 0.130 |
| B3 (模塑盖) | 0.370 | 0.430 | 0.400 |
| 整体封装高度 | 1.140 | 1.340 | 1.240 |

PSfcCSP 横截面



PSfcCSP 设计表，0.5 mm 节距，2 列堆叠接口

| 封装尺寸 (mm) | 封装互连 | | 晶片尺寸 (mm) |
|-----------|------|-----|-----------|
| | 矩阵 | 球数 | |
| 10 | 19 | 136 | < 6.00 |
| 11 | 21 | 152 | < 7.00 |
| 12 | 23 | 168 | < 8.00 |
| 13 | 25 | 184 | < 9.00 |
| 14 | 27 | 200 | < 9.50 |
| 15 | 29 | 216 | < 10.00 |

访问 amkor.com 或发送电子邮件至 sales@amkor.com 以获得更多信息。



关于本文档中的信息，Amkor 对其准确性或使用此类信息不会侵犯第三方的知识产权不作任何担保或保证。Amkor 对因使用或依赖它而造成的任何性质的损失或损害概不负责，并且不以此方式默示任何专利或其他许可。本文档不以任何方式扩展或修改 Amkor 其任何产品的标准销售条款和条件中规定的保修。Amkor 保留随时对其产品和规格进行更改的权利，恕不另行通知。Amkor 名称和标志是 Amkor Technology, Inc. 的注册商标。所提到的所有其他商标是各自公司的财产。© 2019 Amkor Technology Incorporated. 保留所有权利。TS114A-CN 修改日期：02/19

