Amkor's 2.5D Package and HDFO – Advanced Heterogeneous Packaging Solutions

John Lee, Sr. Director, Amkor Technology, Inc.
Mike Kelly, VP, Adv Package & Technology Integration, Amkor Technology, Inc

개요 :

최근, 기술 진화의 물결은 인공지능(AI), 딥러닝, 클라우드 컴퓨팅 등에 바탕을 두고 있다. 이들 첨단 기술은 모두 초고속 컴퓨팅 집적회로(IC)라는 공통 특징을 공유한다. 메인 칩 자체가 더 진보된 프로세스 노드로 발전하는 것 외에도, 광대역폭 메모리 (HBM) 또는 더 높은 전송 속도 또는 다른 특정 기능의 이종(異種) 칩(heterogeneous chip)들을 통합하여 전체 성능을 끌어올릴 수 있도록 하는 것이 가능하다. 이를 위해, 궁극의 이종 칩 통합 패키징 기술이 필수적인 역할을 할 것이다.

본 글에서는 앰코가 개발한 패키징 기술 플랫폼인 2.5D Through Silicon Via (TSV) 인터포저, Chip on Substrate (CoS), Chip on Wafer (CoW) 및 High-Density Fan-Out (HDFO)은 물론, 개발된 Electronic Design Automation (EDA) 설계 흐름 및 테스트 솔루션을 소개한다. 또한, 이러한 고급 패키지의 대량 생산 능력을 달성하기 위해 최첨단 외주 반도체 조립 및 테스트 (OSAT) 생산 사업장인 앰코테크놀로지코리아 K5 에 관한 기술과 고품질로 고객들의 고속 성능 목표 달성에 대해서도 논의할 예정이다.

1. 도입

오늘날 가장 놀랍고 인기 있는 첨단 기술은 무엇인가? 산업 전문가들이 인공지능, 딥러닝, 클라우드 컴퓨팅, 슈퍼컴퓨터, 자율주행이라는 용어를 하나 이상 인용할 가능성이 크다. 이러한 첨단 기술들이 놀라운 진보의 길을 이끌고 있다. 게다가 이들은 고속, 고성능 IC라는 공통적인 특징을 지닌다.

구글, 아마존, 인텔, 엔비디아, AMD와 같은 세계의 거대 기술기업들을 보면, 그들 모두는 자원 개발에 크게 투자한다. 중국에서는 인공지능이 이미 국가 최고 계획에 통합되었다. 2016년 국무회의에서는 '제13차 5개년 국가과학기술혁신계획'을 이와 같은 내용의 목표로 정했다. "2020년까지 인공지능의 전반적인 기술과 응용 프로그램은 다른 세계의 고급 수준으로 가속할 것이고, 2025년까지 인공지능 기본 이론이 주요한 돌파구를 찾을 것이며, 2030년까지 인공지능, 이론, 응용 분야에서 세계를 선도할 것이다." 동시에 바이두, 알리바바, 텐센트, 화웨이 등 중국의 거대 기술업체들은 모두 도약과 경쟁으로 확장하였다. 게다가 캄브리안과 같은 많은 신생기업은 이러한 번창하는 기술적인 흐름에 투자할 우수한 기술을 보유하기 시작했다. 투자기관인 골드만삭스 그룹은 Central Processing Unit (CPU), Graphics Processing Unit (GPU), Application-specific Integrated Circuit (ASIC), Field-programmable Gate Array (FPGA) 등 전 세계 인공지능 하드웨어 마이크로칩이 향후 연간 40% 이상 성장할 것으로 전망했다(그림1 참조).

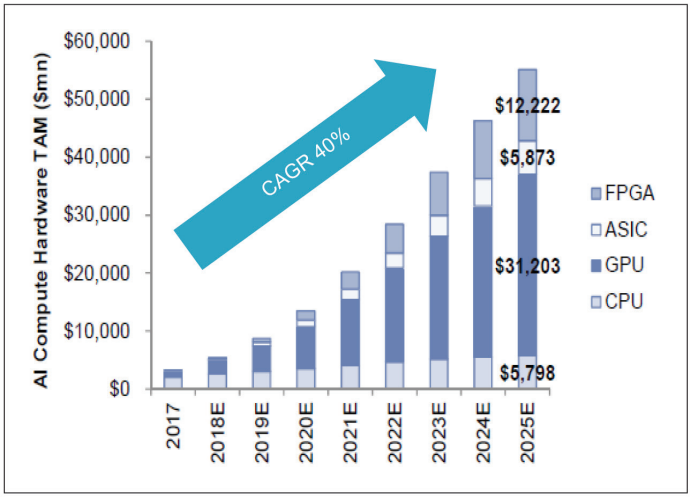


그림1. Worldwide AI computing hardware total available market (TAM) 출처: 골드만 삭스 2018

Originally published in China Integrated Circuits ▶ December 2018 ▶ © 2018 Amkor Technology, Inc.

알고리즘, 빅데이터, 고성능 마이크로칩의 지속적인 발전은 이러한 기술 흐름에 거대한 도약을 이끈다. 이 중에는 TSMC를 필두로 무어의 법칙 (Moore's law)을 따르는 첨단 제조기술에 의해 제작된 고속 마이크로칩이 있다. 반도체 집적도가 16nm/14nm, 10nm 및 7nm로 계속 축소되면서 CMOS 디바이스 속도와 게이트 수가 지속해서 증가하고 있는데, 이는 18~24개월마다 동일한 면적에 2배의 트랜지스터를 집적시키는 것을 말한다. 이것은 정말 놀라운 발전이라 할 수 있다. 메인 칩 자체의 속도 증가와 더불어, 두 가지 중요한 요소가 있다. 하나는 동시에 컴퓨팅 성능을 향상하고 총 시스템 전력을 낮추며 메모리 대역폭을 증가시키는 광대역폭 메모리(HBM)고, 다른 하나는 고속 정보수신 및 전송을 위한 Serializer/Deserializer (SerDes)다. SERDES IO 블록은 메인 칩에 통합되거나 독립형 칩으로도 제작될 수 있다. 그렇다면, 어떻게 고속 성능을 하나로 통합할 수 있을까? 진보된 2.5D 이종 통합 패키징 기술이 바로 이 역할을 수행한다.

2. 2.5D 패키지 요약

2.5D 패키징을 선택해야 하는 까닭

오늘날 2.5D 패키징은 다양한 IC의 고속 통합을 가능하게 하는 첨단 IC 패키징 기술이다. 주요 특징은 그림2에 나타낸 3개의 구조를 포함한다.

(1) 인터포저 위에 마이크로 범프 접합을 통한 HBM 및 SerDes 마이크로칩의 통합

(2) Through silicon via (TSV) 인터포저를 통한 C4 또는 Large CuP로의 연결

(3) 인쇄회로기판으로 FCBGA 패키지 형성

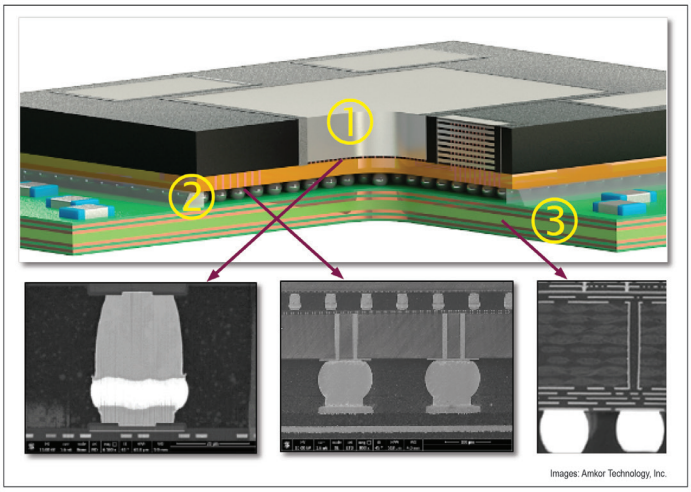


그림 2. 진보된 2.5D 패키징 기술의 세 가지 핵심 요소

2.5D 패키징의 이점

이렇게 복잡한 패키지 구조를 만드는 데는 이유가 있다. 그림 3에서 볼 수 있듯, 향상된 처리속도에 대한 수요를 충족시키기 위해 메모리 위치는 CPU에 더 물리적으로 가까워진다. 일반적으로 각 패키지가 머더보드(인쇄회로기판 또는 PCB)에 실장되는 방식이 SiP 기술로 발전되어 왔다. 이 기술은 인쇄회로기판 상에서 메모리와 메인 CPU가 연결되며 최종 FCBGA 패키지와 같은 형태를 보이게 되며, 2.5D 패키징으로 발전하고 있다. 새로운 세대의 HBM DRAM을 사용하면서 두 IC를 실리콘 인터포저에 직접 연결하여 로직과 HBM 사이의 거리를 100 µm 미만으로 최소화한다. 거리 감소는 시간 지연을 최소화하고 전자신호 품질을 향상하며 더 빠른 속도와 성능을 가능하게 하고 동시에 저전력을 가능케 한다.

또 다른 이유는, 실리콘 인터포저 방식을 사용하면 DDR4 또는 GDDR5 / GDDR5X / GDDR6보다 매우 높은 데이터 대역폭을 사용할 수 있기 때문이다. HBM은 1024 비트에서 DDR4 또는 GDDR 제품보다 훨씬 더 넓은 병렬 버스를 사용할 수 있다. HBM과 HBM2는 약 4,000 개의 입출력 (I/O)과 전원 연결부가 있으며, 이는 메인 칩과 연결 시 매우 높은 연결 밀도를 필요로 한다는 것을 의미한다. 기존의 FCBGA 기판 선폭의 한계는 이미 이러한 고밀도 연결을 만족시킬 수 없으며, 2.5D Si 인터포저 연결을 위한 기본으로서 FCBGA에서 실리콘 웨이퍼로 업그레이드되어야 한다.

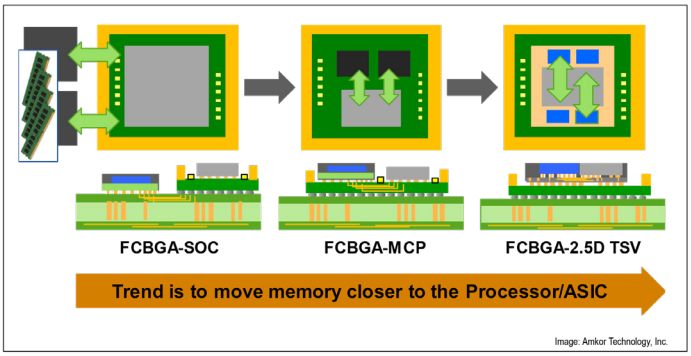


그림 3 : 최신 패키지 동향.

또 다른 중요한 경향은 고속 데이터 전송을 위한 SerDes 이다. 단일 채널 SerDes는 초당 10Gbps, 28Gbps, 56Gbps, 최대 112Gbps에 이를 수 있다. 고속 데이터 센터 애플리케이션에서는 메인 칩이 여러 SerDes 채널을 제어한다. 메인 CPU와 GPU 제조공정의 진보와 함께 SerDes 설계 회사도 새로운 제조공정을 위한 지적재산권 (IP)을 개발하고 마이크로칩 업체에 메인 칩과 통합할 수 있는 설계를 제공하게 될 것이다. 그러나 고속 및 고성능 요구사항과 함께 SERDES 드라이버의 새로운 실리콘 노드로의 변경, 요구되는 제품개발 기간, 적절한 새로운 SERDES IP 유효성 검사 비용에 맞춰 개발되기 힘들다는 사실 등을 이해함에 따라, 시장에서 System on Chip (SoC)

만을 추구하지는 않는다. 일부 애플리케이션은 현재 2.5D 이종 통합 패키지 솔루션을 사용하는 여러 SerDes 칩과 메인 칩을 패키지 레벨에서 통합하고 있다

수율 또한 고려되어야 한다. 이론적으로, 마이크로칩 하나의 표면적이 클수록 수율은 떨어진다. Bose-Einstein yield module은 큰 수율 차이를 보여준다. Y=1/(1+AD)^k, Y는 수율, A는 마이크로칩 표면적을, D는 결함 밀도를, k는 난이도 인자를 나타낸다. 넓은 칩 면적을 요구하는 강력한 고성능 제품의 경우, 예측수율이 낮을 수밖에 없다. 그러나 설계 단계에서 필요한 칩 면적을 여러 개의 소형 칩으로 분할하고 이것을 2.5D 패키지에 위에 통합함으로써 더 높은 수율과 낮은 비용을 달성한다. 이것은 이미 FPGA 에서 입증한 바 있다.

3. TSV Si 인터포저

고속 마이크로칩은 고밀도 연결을 위한 TSV Si 인터포저 기술에 의존한다. 주된 이유는 TSV 인터포저가 2 μm/2 μm보다 작은 회로 선폭과 40 μm 마이크로 범프를 지원할 수 있기 때문이다. 이는 FCBGA 기판 밀도의 10배를 의미한다. 그것은 더 짧은 연결 거리를 통해 전자신호 품질을 향상하고 이종 마이크로칩 통합 연결을 실현한다.

앰코의 TSV Si 인터포저 공정은 웨이퍼 단위 제조공정이다. 공정은 웨이퍼 파운드리에서 제작된 300 mm TSV 웨이퍼로부터 시작하여 Wafer thinning 과 식각공정에 의한 TSV 노출, 보호막 형성과 범프 형성 등으로 구성된다. 이 일련의 단계는 일반적으로 Mid-end of line (MEOL) 공정이라고 불린다. 메인 공정은 그림 4와 같이 상부층 마이크로 범프 연결 패드에서 하부 FCBGA 기판으로 연결되는 솔더 범프까지 형성된다.

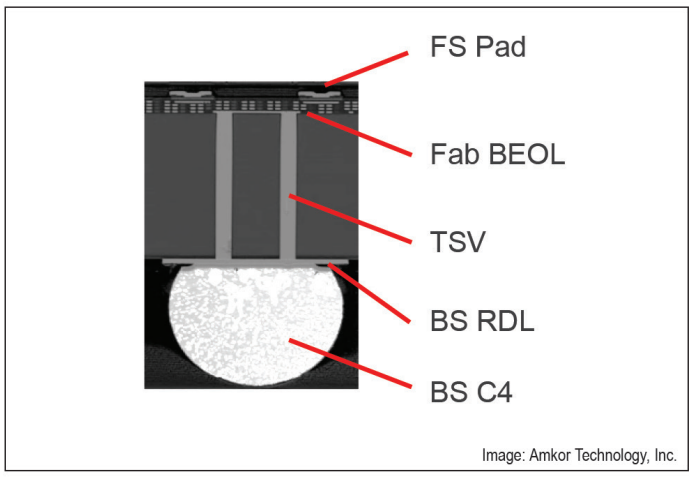


그림4 : 전면 (FS) 패드에서 후면 (BS) C4 범프까지 단면 사진.

4. Chip on Substrate (CoS) 패키징

Si 인터포저 중간 모듈공정을 마친 후 패키지 기판에 실장하면 이종 통합 2.5D 패키지가 완성된다. 앰코는 2009년에 2.5D 패키징을 개발하기 시작했고, 2011년에 Xilinx는 업계 최초로 2.5D FPGA Vertex-V7을 출시했고, 이 제품개발에 크게 기여했다. 앰코는 이미 두 가지 주요 2.5D 패키지 플랫폼을 개발했는데, 하나는 Chip on Substrate (CoS) 이고 다른 하나는 Chip on Wafer (CoW) 이다. CoS는 먼저 개발 및 완료되었고 2014년 인증이 완료되어 양산 개시되었다. CoW 플랫폼은 업그레이드된 구조와 제조공정을 갖추었고, 2018년에는 공식적으로 양산 개시되었다.

CoS 제조공정은 먼저 인터포저를 기판에 실장한 다음, 여러 마이크로칩을 인터포저에 실장하여 이종 통합 패키지를 만든다(그림5 참조). 제조공정에서 RDL이 완료된 후, 칩이 RDL 인터포저에 부착되기 때문에 RDL first 또는 Die last라고 불린다. 불량 인터포저 또는 미완성 제품을 표시하여 칩 손실을 방지하고 수율 증대를 위한 중간 테스트를 할 수 있다는 것이 장점이다. 대형 패키지는 더 큰 문제를 야기한다. 앰코는 이 분야에서 기초연구를 많이 해왔고 풍부한 생산 데이터베이스(DB)를 갖추었으며, 여러 제품에 대한 양산을 완료했다.

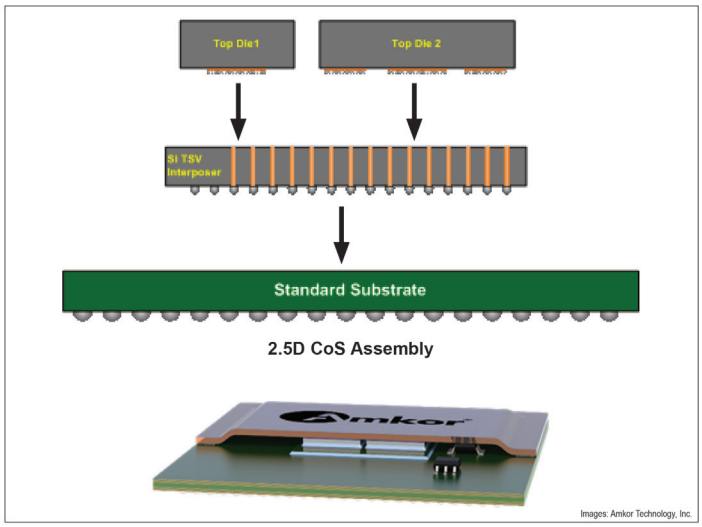


그림 5 : CoS 공정

5. Chip on Wafer (CoW) 패키징

CoW는 CoS의 차세대 공정으로 웨이퍼 단위 패키지 기술을 구현하기 위해 실리콘 웨이퍼를 기판으로 사용한다. CoS와 비교하여 CoW는 먼저 칩을 인터포저에 결합하고 웨이퍼 단위의 몰딩을 추가하며, 마지막으로 플립 칩 (FC) 기판에 연결한다(그림6 참조). 이 기술의 이점은, 매우 큰 다이(die)와 더 큰 인터포저를 처리할 수 있다는 것이다. 앰코는 CoW 테스트를 마치고 현재 양산을 진행 중이다.

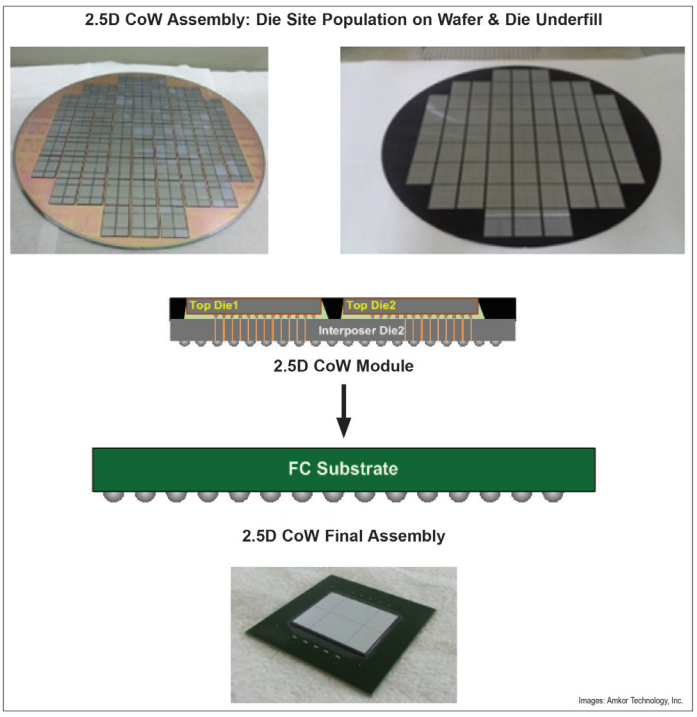
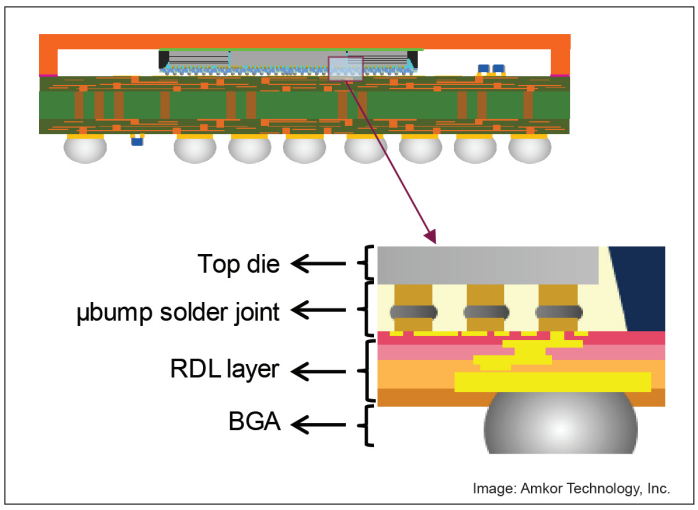


그림 6. CoW 공정

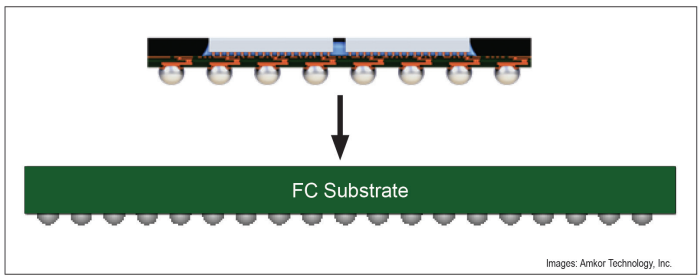
6. HDFO 패키징

HDFO 패키징은 TSV기술을 사용하지 않고 웨이퍼 단위 패키지를 이용하는 차세대 통합 FCBGA 패키징 기술이다.이 목표를 달성하기 위해 마이크로 범프 솔더 접합을 통해 마이크로칩을 다층 미세선폭 RDL과 BGA에 연결해 중간 조립모듈을 형성하여 이 모듈이 FCBGA 기판에 실장되어 이종 통합패키지를 완성한다(그림7 참조). 이 기술은 고밀도 회로와 우수한 전자신호 품질을 유지하며 TSV 제거를 통해 비용절감을 실현한다.

HDFO 이종 통합 패키지는 네트워킹 및 서버를 포함한 다양한 애플리케이션뿐만 아니라, 다양한 GPU 및 FPGA 구조에도 성공적으로 사용된다.



(a)



(b)

그림7 : HDFO 패키징을 통한 die간 연결 (a) 후 중간 조립 모듈을 기판(b)에 실장한다.

7. 테스팅

정교한 테스트는 진보되고 복잡한 고가의 이종 패키지 통합에 필수적인 부분이다. 칩 프로브(CP), 인터포저 프로브 테스트, 중간 테스트, 최종 테스트(FT) 및 시스템 레벨 테스트(SLT)에 이르기까지, 적지 않은 어려움과 도전이 있다. 이러한 테스트들은 모두 맞춤 제작되며, 다른 고객을 위한 다른 제품들은 각각 최적화된 프로세스 흐름을 가질 수 있다(그림8 참조).

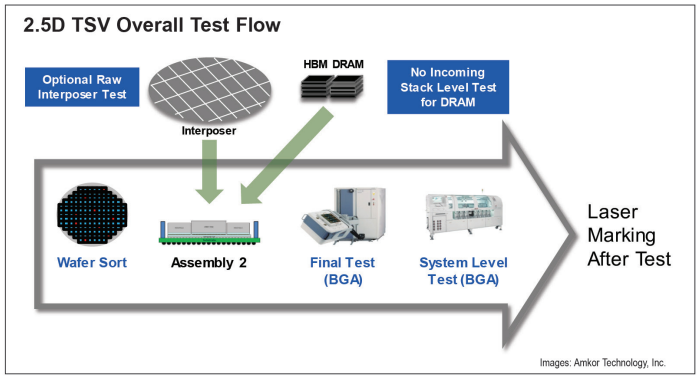


그림8 : 최신 패키지에 대한 전체 테스트 흐름.

8. Co-Design과 에코시스템

2.5D 패키지 설계 계획의 경우, 설계 흐름과 설계 방법론은 기존의 패키지 설계와 매우 다르다. 예를 들어, HBM2는 4,000개의 범프를 가지고 메인 칩은 수만 개의 범프를 가지며, 이러한 여러 개의 칩이 인터포저를 통해 연결되어 있다. 이를 위해서는 최적화 및 규칙 확인을 위한 설계와 시뮬레이션이 진보되어야 한다 이를 위해서는 최적화 및 규칙 확인을 위한 설계와 시뮬레이션이 진보되어야 한다. 이러한 과제를 해결하기 위해 앰코는 이미 Cadence 및 Mentor Graphics와 전자설계 자동화 (EDA) 연결을 이루기 위해 OSAT업계 최고의 Process Assembly Design Kit (PADK)와 설계 흐름을 개발했다.

이 키트는 설계 단계에서 도입되어 동기식 디버깅 설계 환경을 달성하고 개념도와 레이아웃 도면을 비교하며 모든 설계 규칙 점검 (DRC)을 수행한다. 이 과정을 거쳐 엄격한 설계 검증과 승인이 이루어지게 된다. 또한, 설계, 인터포저 및 기판 모델을 추출하고 공동 설계와 공동 시뮬레이션을 구현함으로써 Design for Performance (DFP), Design for Cost (DFC), Design for Manufacturing (DFM)도 달성된다. 그림 9는 메인 칩과 HBM2가 2GHz 주파수로 작동하는 동안 시뮬레이션 시연의 한 예를 보여준다.

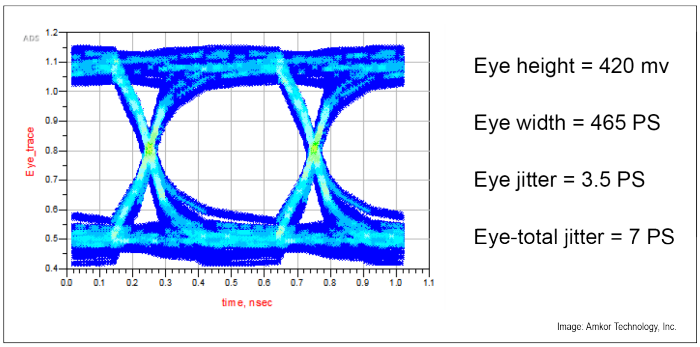


그림 9. 함께 패키징된 CPU와 HBM2의 성능을 보여주는 아이 다이어그램.

설계뿐만 아니라 완벽한 에코시스템은 첨단 패키지의 중요한 부분이다. 앰코는 웨이퍼 파운드리에 3개의 협력 제품을 보유하고 있으며, 설계 회사, 설계 서비스 회사, IP 회사, 시스템 회사, 업스트림 및 다운스트림 고객 및 제조업체와 협력관계를 형성하여 자원을 최적화하고 윈-윈 시나리오를 써나가고 있다. 이 개념을 기반으로 한 공동 개발하고 공동 출시한 많은 성공 사례가 있다. 다음이 포함된다.

- 2014년 : 오픈실리콘 / 글로벌파운드리 / 앰코, 공동으로 멀티 SiP 기능을 실현한 2.5D TSV 출시
- 2016년 : SK하이닉스 / eSilicon / Northwest Logic / 앰코 / Avery, 공동으로 '광대역폭 메모리 백서 : Start your HBM/2.5D design' 출시
- 2018년 : 삼성 / eSilicon / Northwest Logic / 앰코는 'ASIC Unlock Deep Learning Innovation. 웹 세미나 : AI를 위한 HBM2/2.5D 에코시스템'을 논의하기 위해 공동 회의를 열었다.

9. 생산 능력

첨단 반도체 패키지는 연구개발 능력만으로는 부족하며 안전하고 관리 가능한 생산 능력도 필요하다. 앰코는 이 분야의 선구자로서, 인천 송도에 K5라 불리는 최첨단 제조시설을 설립했다. 이 사업장은 Automated Guide Behicle (AGV)과 Advanced Planning and Scheduling (APS)을 적용하고, 웨이퍼 단위 패키지를 생산하는 데 적용될 수 있는 클린 웨이퍼 사업장급(class 100)을 지원하는 최신 사업장이다(그림10 참조). 이러한 AGV는 APS를 통해 제어되며, 해당 저장소 위치로 자율주행하고, 상품을 해당 플랫폼으로 운송하고, 올바른 작업방법을 선택할 수도 있다. 이러한 종류의 자동화는 인간의 오류와 오작업 위험을 많이 감소시킨다. 또한, 제조공정 파라미터와 측정 데이터를 수집하여 빅데이터 센터에 저장한다. 이러한 유형의 빅데이터 관리와 빅데이터 분석은 뛰어난 추적성을 가지며, 기존의 인간공학 운영과 인력관리라는 사각지대를 피할 수 있다. 의심할 여지 없이, 이러한 첨단 사업장 운영방식은 고객들과 다른 사람들로부터 좋은 평가를 받고 있다.

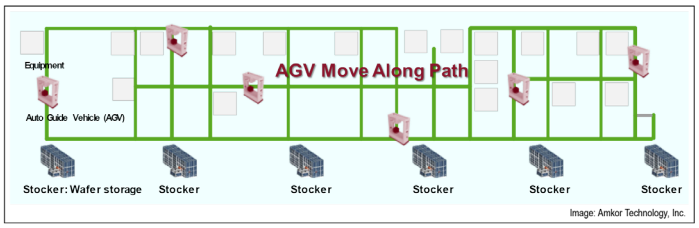


그림10. 자동화된 가이드 차량은 최첨단 K5 제조시설의 다양한 단계에서 제품을 이동시킨다.

10. 요약

현재의 기술진화 과정에서 AI, 딥러닝, 클라우드 컴퓨팅 및 슈퍼컴퓨터의 성능 요구 조건을 충족하려면, HBM 및 초고속 SerDes IC뿐만 아니라 고속 마이크로칩에 대한 이종 통합 패키징 기술이 필요하다. 앰코는 다양한 HDFO 기술로 이러한 요구사항을 충족한다. 여기에는 최적화된 설계 프로세스 흐름과 테스트 솔루션을 갖춘 2.5D 실리콘 인터포저, CoS, CoW, HDFO 및 기타 이종 패키징 기술과 전 세계 고객이 성공을 거두도록 지원하는 가장 진보되고 자동화된 사업장들이 포함된다.

레퍼런스

Amkor Technology, Inc.: https://amkor.com/technology/

감사의 말

저자들은 Amkor Technology, Inc.의 Ron Huemoeller, Curtis Zwenger, Ruben Fuentes, Debi Polo와 Amkor Great China 마케팅 및 영업부서의 Emdrem Tan, Jack Chen, Kevin Yu, Jason Kao, Michael Chang, Elbert Ru, Annie Huang과 Sophia Huang에게 감사의 말씀을 전한다.

작성자 정보

John Lee는 현재 Amkor Greater China의 마케팅 및 영업부서에서 일하고 있다.

Mike Kelly는 Amkor Technology의 고급 제품개발 부서의 이사이다. 그는 아이다호 대학에서 화학공학 석사학위와 워싱턴 대학에서 기계공학 석사학위를 받았다.

키워드 : 2.5D, TSV, Interposer, CoS, CoW, HDFO, Heterogeneous Package, Amkor