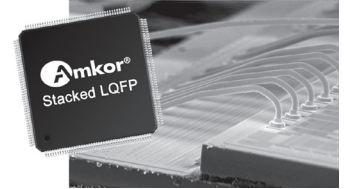


3D & Stacked Die

3D 패키징 기술은 3차원, 즉 Z 높이를 활용하여 더 높은 수준의 집적도와 성능을 제공하는 패키징 솔루션을 제공합니다. 3D 패키징은 작고 가벼운 제품을 요구하는 멀티미디어 분야에 필요한 핵심 기술입니다. 고도의 기능을 포함시키려면 더 복잡하고 효율적인 메모리 아키텍처와 대용량의 메모리를 필요로 합니다.

자동차, 산업, 하이엔드 컨슈머, 멀티미디어, 웨어러블, 사물인터넷과 인공지능 분야의 신제품 설계를 위해서 이러한 기능은 물론 혁신적인 모양과 스타일도 요구됩니다. 3D 패키징은 높은 수준의 실리콘 통합 및 공간 효율성을 저렴한 비용으로 제공하면서 높은 성장률과 새로운 애플리케이션 개발을 주도하고 있습니다.



BENEFITS OF 3D PACKAGING

3D 패키징 기술의 높은 성장률과 개발 실적은 다음의 시스템 레벨의 이점 때문에 가능합니다.

- ▶ PWB 면적 cm^2 당 그리고 애플리케이션 공간 cm^3 당 탑재되는 반도체 기능이 늘어나는 데 따른 소형화 및 경량화
- ▶ 패키지 용량 접근에 따른 혁신적인 새로운 폼팩터가 만들어내는 설계 자유도의 확대
- ▶ 적층을 사용하여 보다 짧은 접합 구조에 의한 전기적 성능 향상
- ▶ 시스템 레벨에서의 비용 절감

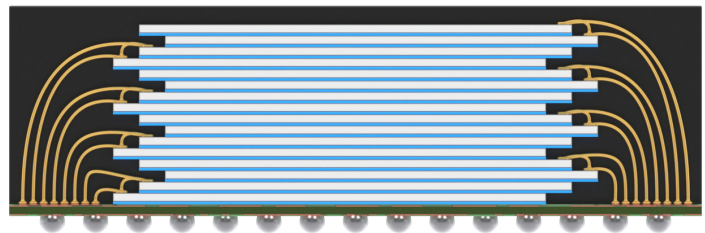
3D Packaging Innovation

엠코테크놀로지는 1998년부터 하이 볼륨, 저비용의 3D 패키지의 개발과 양산의 선구자로 인정받아왔습니다. 엠코는 3D 패키징의 이점을 숙지하여 다양한 디바이스의 조합과 최종 애플리케이션에 대응하고 있습니다.

디플로이먼트 방식을 이용한 플랫폼 기술은 3D 기술을 필요로 하는 패키지 플랫폼과 애플리케이션의 범주를 넓히기 위해 개발되었습니다. 새로운 3D 패키지 솔루션은 저비용으로 여러 사업장에서 효율적으로 인증되고, 단기간에 양산으로 연결되기 때문에 고객에게도 이익을 안겨줍니다.

3D 플랫폼의 핵심 기술 다음과 같습니다:

- ▶ 더 얇은 고밀도의 기판 기술을 위한 설계 규칙 및 인프라
- ▶ 첨단 웨이퍼 박형화 및 처리 시스템
- ▶ 더 얇은 칩의 접합과 적층 공정
- ▶ 고밀도, 낮은 루프 와이어본딩
- ▶ 무연 및 친환경 원자재 사용
- ▶ Flip chip과 와이어본드를 융합한 적층 기술
- ▶ 턴키 칩, 패키지 어셈블리와 테스트

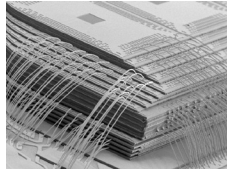


Cross section stacked memory chip

3D & Stacked Die

Die Stacking

앰코의 칩 적층 기술은 다수의 사업장과 생산 라인에서 양산에 널리 사용되고 있습니다. 신뢰성 및 프로세스와 재료 등의 주요 데이터는 Stacked CSP 데이터시트 (DS573)에 기재되어 있습니다. 매우 복잡한 3D 패키징 및 시장 출시 시간 단축 등의 과제를 해결하기 위해 많은 고객들이 앰코의 턴키 및 설계, 조립 테스트 기술을 사용하고 있습니다.



차세대 칩 적층 기술은 30 μm 이하로 박형화된 웨이퍼 및 칩을 취급할 수 있습니다. 첨단 칩 접합, 와이어본드 및 Flip chip 어셈블리 기능을 사용하여 최대 16개의 칩을 안정적으로 적층하고 접합할 수 있습니다.

최대 24개 층까지 쌓는 칩 적층 기술이 입증되었지만, 9개 이상의 칩을 쌓는 경우에는 복잡한 테스트, 수율 및 물류 문제를 해결하기 위해서 칩/패키지 적층 기술을 조합하여 적용합니다.

또한, 칩 적층은 QFP, MLF® 및 SOP를 포함한 기존의 리드프레임 기반 패키지에도 널리 사용되고 있습니다. 대규모 양산, 저비용 리드프레임 제품 생산을 위한 업계 최고의 인프라를 사용하여 시스템 보드 공간과 전반적인 비용을 크게 절감할 수 있습니다.

Package Stacking: Package-on-Package (PoP)

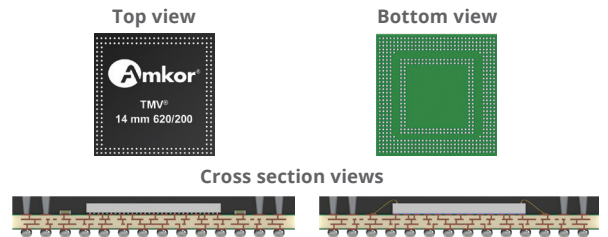
앰코는 복잡한 칩 적층과 관련하여 기술, 비즈니스 및 물류의 한계를 극복하기 위해 어셈블리 및 테스트를 완료한 패키지를 적층하는 기술에 있어 큰 혁신을 추진해왔습니다. 앰코는 2004년 Package Stackable Very Thin Fine Pitch BGA (PSvfBGA)의 양산을 시작했습니다. PSvfBGA는 와이어본드 또는 하이브리드본드 (FC+와이어본드) 적층을 이용한 단일 칩, 적층 칩에 대응하며, Flip Chip (FC) 애플리케이션에 적용해 테스트 및 SMT 핸들링 과정에서 패키지 무결성 및 변형 제어를 향상시킨 바 있습니다.

마이크로프로세서가 더 빠른 코어와 높은 I/O를 갖춘 고급 CMOS 노드로 전환함에 따라, 칩 설계 방식 역시 와이어본드에서 Flip chip 칩 설계로 이행되고 있습니다. Flip chip은 앰코가 Package Stackable Flip Chip Chip Scale Package (PSfcCSP)로 이름 붙인 PSvfBGA의 패키지 적층 설계 기능을 fcCSP 어셈블리에 통합한 칩 뒷면 노출형 패키지를 가능하게 했습니다. PSfcCSP는 센터 몰드되는 PSvfBGA 구조에서 과제라고 할 수 있는 0.5 mm 미세 피치의 적층 인터페이스가 가능하며, 얇은 FC 칩 구조를 갖추고 있습니다.

지속적인 개발의 결과, 앰코는 새로운 메모리 아키텍처에 PoP의 실장 면적과 높이의 감소를 조합하여 고밀도 적층 인터페이스를 요구하는 모바일 멀티미디어 애플리케이션 용 PoP 애플리케이션 2세대 생산에 동참하게 되었습니다. 기존의 PSvfBGA, PSfcCSP 구조는 메모리 인터페이스 밀도와 피치에 대한 대응을 제한하기 때문에 새로운 하부 PoP 구조가 필요했습니다.

앰코는 몰드 캡을 통해 Interconnect via를 갖춘 차세대 PoP 솔루션을 제공하는 최신 기술을 개발하고 Through Mold Via (TMV®) 기술이라 이름 붙였습니다. TMV® 기술은 칩 대 패키지 비율이 더 크면서도 더 얇은 기판을 사용할 수 있게 하는 안정된 하부 패키지를 제공합니다. TMV®에 의해 PoP는 단일 또는 적층 칩, FC 설계에 대응이 가능하며, 새로운 0.4 mm 피치 저전력 DDR3, DDR4 및 후속 메모리 인터페이스 요구사항에 이상적인 솔루션입니다. 또한, 0.3 mm 이하의 슬더 볼 피치의 적층 인터페이스에 대응 가능합니다.

앞으로도 통신, 인공지능 및 네트워크 애플리케이션을 위해 더 높은 신호 처리 기술 및 데이터 저장 능력이 요구될 것이기 때문에 향후 몇 년간 PoP에 많은 과제와 애플리케이션이 더해질 것입니다. 앰코는 차세대 PoP 요구사항을 충족할 수 있도록 고도의 개발과 생산 역량을 유지하겠습니다.



보다 자세한 내용은 홈페이지 amkor.com을 방문하시거나 sales@amkor.com으로 문의하여 주시기 바랍니다.

본 문서의 모든 콘텐츠는 저작권법에 따라 무단복제 및 배포를 금지하며, 제공된 정보의 정확성을 보장하지 않습니다. 앰코는 본 문서의 정보사용에 따른 특허나 라이선스 등과 관련된 어떠한 형태의 피해에 대해서도 책임을 지지 않습니다. 본 문서는 앰코의 제품보증과 관련하여 표준판매약관에 명시된 것 이상으로 확대하거나 변경하지 않습니다. 앰코는 사전고지 없이 수시로 제품 및 제품정보를 변경할 수 있습니다. 앰코의 이름 및 로고는 Amkor Technology, Inc.의 등록상표입니다. 그 외 언급된 모든 상표는 각 해당 회사의 자산입니다.
© 2019 Amkor Technology, Incorporated. All Rights Reserved. TS1041-KR Rev Date: 03/19