

Amkorの2. 5DパッケージとHDF0 - アドバンスドヘテロジニアス パッケージング ソリューション

Amkor Technology, Inc.、Sr. Director、John Lee

Amkor Technology, Inc.、Adv Package & Technology Integration VP、Mike Kelly

概要：

昨今の技術進化の波は、人工知能（AI）、ディープラーニング、クラウドコンピューティング等がベースになっています。これらの最先端技術に共通する特徴は、超高速コンピューティングICを使用していることです。メインチップ自体をより先進のプロセスノードに進化させることに加えて、異種（ヘテロジニアス）チップを、より広域幅のメモリ（HBM）、より高速な伝送速度や、または他の機能を持つチップと統合することにより、全体的なパフォーマンスを向上させることも可能です。これを実現するために、ヘテロジニアス チップインテグレーション パッケージングテクノロジーが必要不可欠な役割を果たすでしょう。

この記事にはAmkorが開発した以下のパッケージ技術プラットフォームが紹介されています：2.5D Through Silicon Via（TSV）インターポーザー、Chip on Substrate（CoS）、Chip on Wafer（CoW）およびHigh-Density Fan-Out（HDF0）、Electronic Design Automation（EDA） デザインフロー/テストソリューション。

これら先端パッケージの量産を実現するため、本記事は最先端かつ高度な自動化を実現したOSAT（Outsourced Semiconductor Assembly and Test）工場である：Amkor Technology Korea - K5についてもご紹介いたします。高い技術力と高品質を誇るK5は、お客様が高速パフォーマンスのゴールを達成するサポートを提供いたします。

1. Introduction

今日最も注目を集めるポピュラーな先端技術をいくつか挙げるとすればどのようなものでしょうか？業界の専門家であれば 次のような用語の一つまたは複数を挙げることでしょう。それは、人工知能、ディープラーニング、クラウドコンピューティング、スーパーコンピューター、自動運転です。これらの最先端技術は驚異的に進歩しています。さらに、それらにはすべて共通の特徴があります。それは高速なハイパフォーマンスICです。

Google、Amazon、Intel、NvidiaやAMDなどの世界的なテクノロジー大手企業を見ると、彼らは、それらのリソースの開発に巨額の投資を行っています。中国では人工知能はすでに国家のトップレベルの計画に組み込まれています。2016年、国務院により公布された「第13次5カ年計画国家科学技術革新計画」はこの目的を次のように明確化しました：「2020年までに人工知能の全体的な技術と応用について世界の他の国々の先進基準に引き上げる。2025年までには人工知能の基礎的理論の大規模な突破口を見出し、2030年までには人工知能の理論および応用で世界をリードする」。同時に、Baidu、Alibaba、Tencent、Huaweiなどの中国テクノロジー大手企業はすべて飛躍的な成長を遂げると見込まれています。さらに、Cambriconなどの多くのスタートアップ企業は、この盛況なテクノロジーの波の中で投資する優れた技術を備えると言われています。投資エージェ

ントのゴールドマン・サックス・グループは、中央処理装置（CPU）、グラフィックス処理装置（GPU）、特定用途向け集積回路（ASIC）、フィールド・プログラマブル・ゲート・アレイ（FPGA）その他のグローバルAIハードウェアマイクロチップが今後数年のうちに40%超の年平均成長率で成長を遂げると予測しています（Figure 1 参照）。

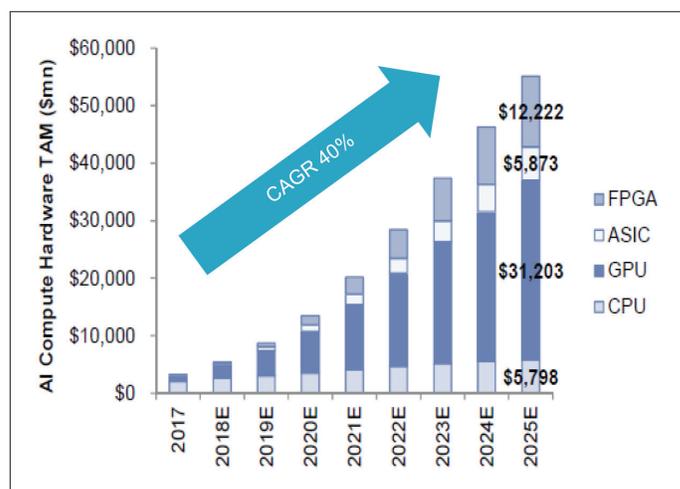


Figure 1. AIコンピュータハードウェアの世界市場規模（TAM） Source: Goldman Sachs 2018

アルゴリズム、ビッグデータおよびハイパフォーマンスマイクロチップの継続的な進歩がこのテクノロジーの波の大きな飛躍を牽引しています。これらの中にあるのが、先進的な製造の第一歩としてTSMCが取り組んだ、ムーアの法則に則した高度な高速マイクロチップです。コンポーネントは6 nm/14 nm、10 nmおよび7 nmまで絶えず縮小し続け、CMOSコンポーネントの速度が継続的に増加しながら、同時にゲートカウントも増加しています。これは18~24か月毎に同じスペースに2倍の数のコンポーネントを統合することに相当します。本当に驚くべきことです。メインチップ自体のスピードアップに加えて、2つの追加的な要素が重要になってきています。一つは、コンピューティング機能を向上させ、システムの総電力を低減し、メモリ帯域幅を増やす、それらをすべて同時に行う高帯域幅メモリ（HBM）です。もう一つが、高速情報を送受信するためのシリライザー/デシリライザー、すなわちSerDesです。SerDesのI/Oブロックはメインチップへ統合するか、または独立したチップとして製造することができます。どのようにすればそれらの高速パフォーマンスを一体化することが出来るのでしょうか？先端2.5Dヘテロジニアスチップパッケージングテクノロジーが、この役割を果たします。

2.2. 5D Package Summary

なぜ2.5Dパッケージングなのか？

2.5Dパッケージングは、様々なICの高速なインテグレーションを可能にする先端ICパッケージです。主な特徴はFigure 2に示される3つの構造です：

- (1) インターポーザーへのマイクロバンプ接合を用いたHBMおよびSerDesマイクロチップの統合
- (2) C4または大型CuPへのThrough silicon via (TSV) インターポーザー接続
- (3) パッケージ基板

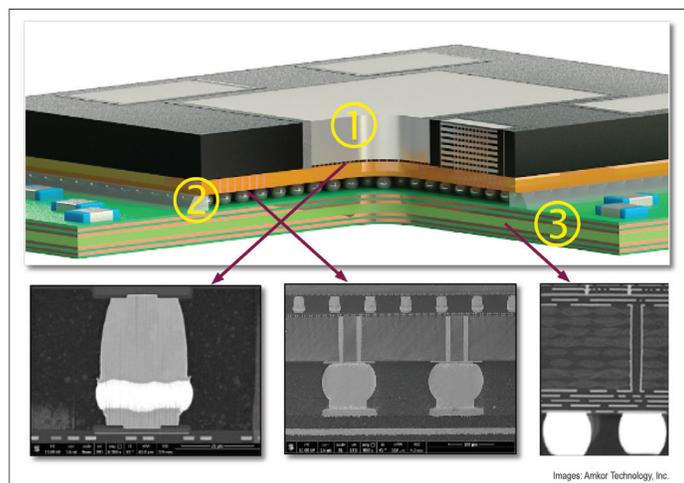


Figure 2. 先端2.5Dパッケージング技術の3つの重要な要素

2. 5Dパッケージングのメリット

このような複雑なパッケージ構造を作るのにはいくつかの理由があります。Figure 3に示すように、処理速度の高速化に対する要求を満たすために、メモリは物理的にますますCPUに近接する傾向にあります。各パッケージは個別に分離されてマザーボード（プリント回路基板またはPCB）に実装され、多くのハイパフォーマンスアプリケーションにおいてはシステム・イン・パッケージ（SiP）技術が採用されます。パッケージング手法では、メモリとメインCPUは基板上で接続されFCBGAを形成し、2.5Dパッケージングへ移行していきます。新世代のHBM DRAMによりロジックとHBMをシリコンインターポーザに直接接続することによって両IC間の距離は100 μm未満にまで最小化されました。距離の短縮は遅延を短くし、電子信号の品質が改善され、より高速、より低いエネルギー消費につながります。

別の理由として、DDR4またはGDDR5/GDDR5X/GDDR6を超えるシリコンインターポーザーアプローチを使用する事で、極めて高いHBMデータ帯域幅が可能になる点があります。HBMは、1024ビットでDDR4やGDDRが提供するより遥かに広いパラレルバスを使用してこれを実現します。HBMやHBM2は約4,000の入力/出力（I/O）および電源接続を備えているため、メインチップに接続するには非常に高い配線密度が必要になります。旧来のFCBGA基板のライン幅の制限ではすでにこの高密度接続に適合することができなくなっており、2.5Dシリコンインターポーザー接続のベースはFCBGAからシリコンウェハへと移行する必要があります。

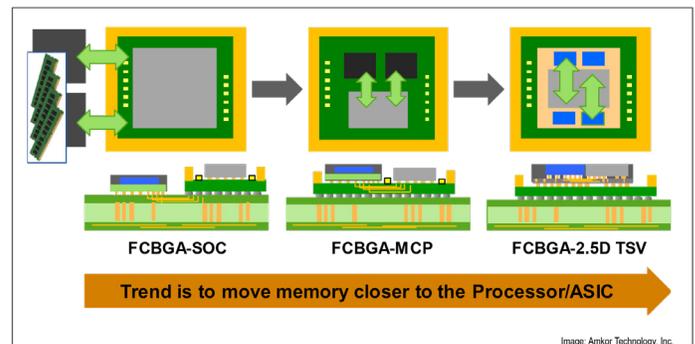


Figure 3. 先端パッケージングのトレンド

もうひとつの重要なトレンドは高速データ転送用のSerDesです。シングルチャンネルのSerDesは毎秒10ギガビット（Gbps）、28Gbps、56Gbps、さらに最大112Gbpsに達することが可能です。高速データセンターアプリケーションでは、メインチップは複数のSerDesチャンネルを制御します。メインCPUとGPU製造の進歩に伴い、SerDes設計会社は新しい製造プロセスのための知的財産（IP）を開発し、マイクロチップ製造企業にメインチップに統合可能な設計を提供します。しかしながら、高速およびハイパフォーマンスの要件があり、またSerDesドライバが新しいシリコンノードや市場投入までの時間および新たなSerDesのIP検証のコストに上手く適合しないという点もあり、マーケットは一樣に統合型システムオンチップ（SoC）に向かっていくわけではありません。一部のアプリケーションでは、2.5Dヘテロジニアスパッケージングソリューションを使用してメインチップと複数のSerDesチップをパッケージレベルで統合することもあります。

歩留りも検討事項の一つです。理論上、単一チップの表面積が大きくなるほど、歩留りは悪くなります。ボース・アインシュタインの歩留りモジュールによると、極めて大きな差異があります。 $Y=1/(1+AD)^k$ (Yは歩留りを表し、Aはチップ面積、Dは欠陥密度、kは難易度係数を表します)。大きな面積を必要とするパワーのある製品では、予測歩留りは低くなります。しかしながら2.5Dヘテロジニアス統合パッケージを用いて必要な領域を複数の小さなチップに分割することで、高い歩留りと低コストが実現可能です。これはすでにFPGAで実証されています。

3. TSV Si Interposer

高速マイクロチップは高密度配線用のTSVシリコンインターポザ技術に依存しています。その主な理由は、TSV-ベアリングインターポザが $2\mu\text{m}/2\mu\text{m}$ 以下のシグナル・ルーティン・レイヤー (RDL) をサポートでき、また $40\mu\text{m}$ のマイクロバンプをサポートすることができる点です。これはFCBGA基板の10倍の密度ということになります。これにより短い接続距離が提供され、より優れた品質の電子信号が得られる事で、ヘテロジニアス・マイクロチップ・インテグレーションが可能となります。

AmkorのTSVシリコンインターポザはウェハレベル製造プロセスを用います。このプロセスは、ウェハファウンドリで加工された300mm TSVウェハから始まり、続いてエッチングおよび充填されたTSVを薄型化し、最終的に個片化する前に裏面とソルダーバンプに保護層が施されます。この手順は、一般的にmid-end of line (MEOL) プロセスと呼ばれています。主なプロセスは、Figure 4に示すように、上部レイヤーのマイクロバンプ接続パッドから下部レイヤーのFCBGA基板接続のソルダーバンプへの断面を形成します。

2.5D TSV Integration

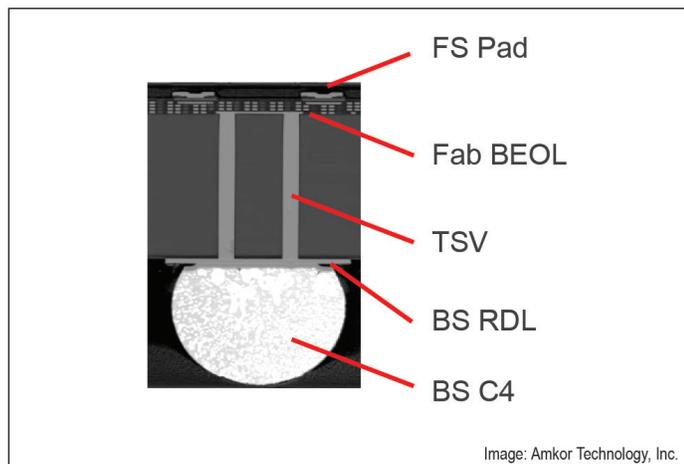


Figure 4. 表面 (FS) パッドから裏面 (BS) C4へ至るパッケージ断面

4. Chip on Substrate (CoS) Packaging

シリコンインターポザの中間モジュールが終了した後、それはパッケージ基板へ取り付けられ、ヘテロジニアス2.5Dパッケージを形成します。Amkorは2009年に2.5Dパッケージングの開発を開始し、2011年にXilinxが業界初の2.5D FPGA Vertex-V7をリリースした際には、Amkorはこの製品に貢献した一社でした。Amkorはすでに2つの主要な2.5Dパッケージプラットフォームを開発しており、一つはチップ・オン・サブストレート (CoS) であり、もう一つはチップ・オン・ウェハ (CoW) です。CoSは先に開発が終了、2014年に認定が完了し量産が開始されました。CoWプラットフォームは新たにアップグレードされた製造工程を採用し、2018年に正式に量産されました。

CoS製造工程はまずインターポザを基板へ接続し、次に複数のマイクロチップをインターポザへ接続してヘテロジニアスパッケージを形成します (Figure 5 参照)。製造プロセスの中でRDLを先に完了させ、次にチップをRDLインターポザへ接続することから、この設計はRDL FirstあるいはDie Lastと呼ばれます。この設計のメリットは中間でのテストが可能点であり、欠陥のあるインターポザや未成品をマーキングしてパッケージに使用されないようにすることで、貴重なチップを無駄にすることなく、また高い歩留りを達成することが可能です。大型のパッケージはより大きな課題があります。Amkorはこの分野で極めて多くの基礎研究を行い、豊富な製造データベースを持ち、また複数の製品の量産を成功させています。

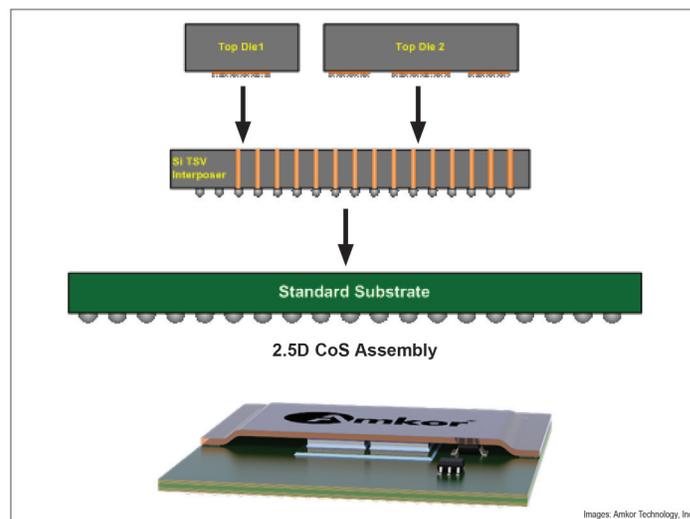


Figure 5. CoS processing.

5. チップ・オン・ウェハ (CoW) パッケージング

CoWは次世代のCoSであり、シリコンウェハを基板として使用してウェハレベルパッケージングを実現します。CoSと比較した場合、CoWは最初にチップをインターポーザに接続しウェハレベルモールドを施し、最終的にフリップチップ (FC) 基板に接続されます (Figure 6 参照)。この技術のメリットとして、非常に大きなチップやより大きなインターポーザに対応する優れた物理的構造が挙げられます。Amkorはすでにこの技術の評価を完了させており、量産を開始しています。

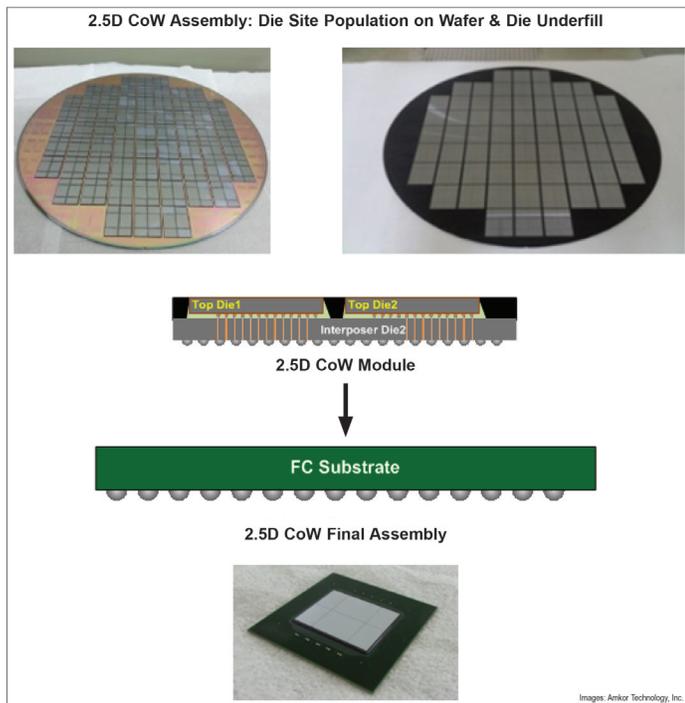
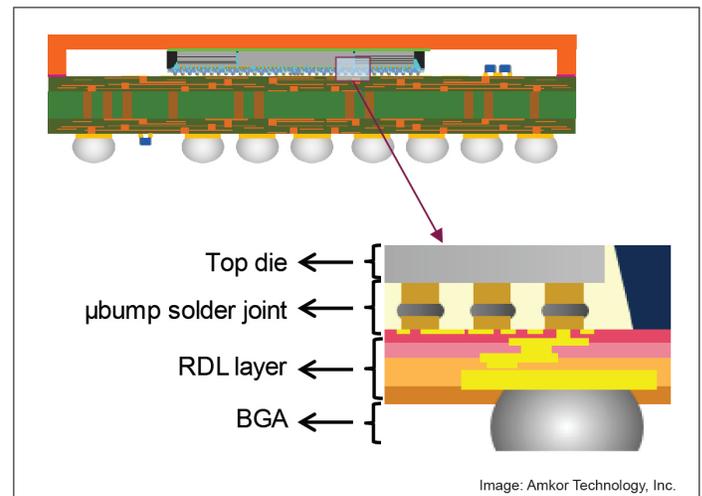


Figure 6. チップ・オン・ウェハ・パッケージング.

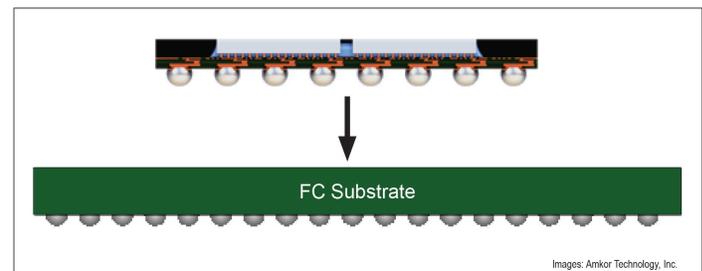
6. HDF0 Packaging

HDF0パッケージングは、TSV技術を使用しないウェハレベルパッケージの次世代のインテグレートドFCBGAテクノロジーです。このゴールを実現するため、マイクロチップはマイクロバンブ・ソルダー接続を使用して複数層の微細RDLとBGAに接続され半組立品となり、次いでFCBGA基板へ接続されてヘテロジニアスパッケージとなります (Figure 7 参照)。この技術は高い配線密度、良好な電気信号品質、TSV加工不要、またさらなるコスト低減を実現します。

HDF0ヘテロジニアスパッケージは、各種のGPUやFPGAだけでなく、ネットワークングやサーバーといった様々なアプリケーションで使用されています。



(a)



(b)

Figure 7. HDF0パッケージングは、チップを接続 (a) し、その半組立品を基板へ搭載します (b)

7. Testing

洗練されたテストは、先端であり複雑かつ高価なヘテロジニアスパッケージングインテグレーションにとって必要不可欠な部分です。チッププローブ (CP)、インターポーザのプローブテスト、中間テスト、ファイナルテスト (FT) からシステムレベルテスト (SLT) に至るまで、尽きることなく困難や課題と直面しなければなりません。これらのテストはすべてカスタマイズされており、様々なお客様の様々な製品に対してそれぞれに最適化されたプロセスフローがアレンジ可能です (Figure 8 参照)。

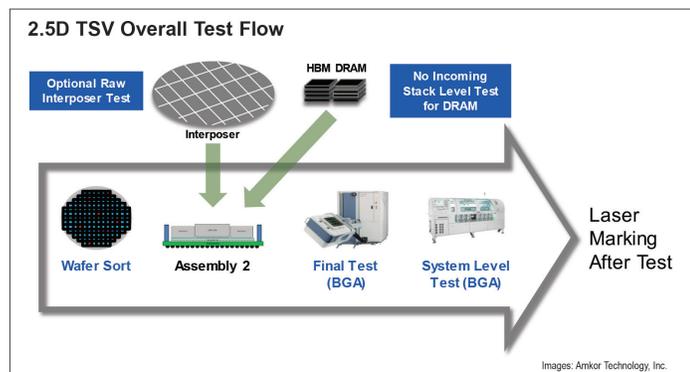


Figure 8. アドバンスドパッケージ向けの概略テストフロー

8. Co-Design and Ecosystem

2.5Dパッケージのデザインプランは、デザインフローとデザインの方法が旧来のパッケージとは大きく異なります。例えば、HBM2 DRAMには4000のバンクがあり、メインチップには数万のバンクがあり、また多数のチップがインターポーザにより接続されます。これを行うには、最適化とルール確認のための設計とシミュレーションを高度化する必要があります。これらの課題に対応するため、AmkorはすでにOSAT業界をリードするプロセスアセンブリデザインキット (PADK) およびデザインフローを開発しており、CadenceおよびMentor Graphicsとの間で電子設計自動化 (EDA) を実現させています。

同キットは設計段階で導入され、同期デバッグデザイン環境を実現し、回路図とレイアウト図を比較し、すべてのデザインルールチェック (DRC) を実施します。この工程は厳密なデザイン検証およびサインオフを実現します。さらに、設計、インターポーザおよび基板モデルを抽出し、共同設計と共同シミュレーションを実施することにより、Design for Performance (DFP)、Design for Cost (DFC) およびDesign for Manufacturing (DFM) を実現します。Figure 9はメインチップとHBM2が周波数2GHzで動作しているシミュレーションのアイダイアグラムの一例を示しています。

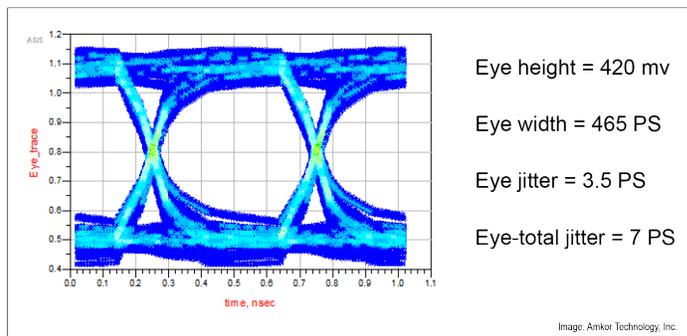


Figure 9. CPUとHBM2の同梱パッケージングのパフォーマンスを示すアイダイアグラム

設計に加えて、エコシステムは先端パッケージの重要な要素です。Amkorは3つの共同シリコンインターポーザファンドリを擁しており、デザイン会社、デザインサービス会社、IP会社とシステム会社ならびにアップストリームとダウンストリームのお客様およびメーカーとの間でエコシステムを形成しリソースを最適化し、Win-Winシナリオを提供します。このコンセプトに基づいた共同開発と共同リリースの成功例が多くあります。これらには次のものが含まれます：

- ▶ 2014年：Open-Silicon/GLOBALFOUNDRIES/Amkorが、マルチSiPを実現する2.5D TSVを共同発表
- ▶ 2016年：SK Hynix/eSilicon/Northwest Logic/Amkor/Averyが、「高帯域幅メモリのホワイトペーパー：HBM/2.5D設計を開始する」を共同発表
- ▶ 2018年：Samsung/eSilicon/Northwest Logic/Amkorが共同でカンファレンス開き、「ASICがディープレーニングのイノベーションを切り拓く。Webinar: HBM2/2.5DAIのためのエコシステム」についてディスカッションを行う

9. Production Capacity

高度な半導体パッケージでは、研究開発能力だけでは不十分です。安定かつ制御が可能な生産能力も必要とされます。この領域における先駆者であるAmkorは、韓国の仁川にK5と呼ばれる最先端の製造工場を設立しました。これはウェハレベルパッケージの生産に使用可能なウェハプラントグレード（クラス100）の近代的な工場です。無人搬送車（AGV）および生産計画スケジューラ（APS）（Figure 10 参照）を備えています。これらの無人搬送車はAPSにより制御され、対応する倉庫へ自走し、製品を積み込み、対応するプラットフォームへ搬送し、正しいプラットフォームの作業レシピを選択します。このような自動化はヒューマンエラーおよび誤操作のリスクを大幅に低減します。さらに、製造プロセスのパラメータと測定データはビッグデータセンターに収集されて保存されます。この種のビッグデータ管理とビッグデータ分析は優れたトレーサビリティを実現し、旧来の人的エンジニアリング操作および人的管理の盲点を回避することができます。この先進的な工場倉庫は、お客様等から極めて高い評価を得ています。

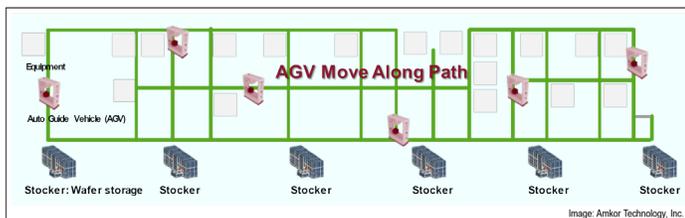


Figure 10. 最先端のK5工場では無人搬送車が様々な段階で製品を搬送します

10. Summary

現在の技術進化の波の中、AI、ディープラーニング、クラウドコンピューティングおよびスーパーコンピューターの性能要件を満たすには、高速マイクロチップのためのヘテロジニアスパッケージングおよびそれらに対応するHBMと超高速SerDes ICが必要になります。Amkorは様々な2.5D ヘテロジニアスチップパッケージングテクノロジーでこれらの要求を満たします。これには、最適化された設計プロセスフローとテストソリューションを伴った2.5Dシリコンインターポーザ、CoS、CoW、HDF0および他のヘテロジニアスパッケージング技術、ならびに世界中のお客様のゴールを達成するための最新鋭の自動化された工場が含まれます。

参考資料

Amkor Technology, Inc. : <https://amkor.com/technology/>

謝辞

Amkor Technology, Inc. Ron Huemoeller, Curtis Zwenger, Ruben Fuentes, Debi Poloの各氏ならびに Amkor Greater Chinaエリアマーケティング セールス部門 Emdrem Tan, Jack Chen, Kevin Yu, Jason Kao, Michael Chang, Elbert Liu, Annie Huang, Sophia Huangの各氏。

筆者

John Lee : Amkor Greater Chinaマーケティング、販売部門従事。

Mike Kelly : Amkor Technology Advanced Product Development Vice President。アイダホ大学 化学工学 理学修士、ワシントン大学 機械工学 理学修士学位取得。

キーワード: 2.5D, TSV, インターポーザ, CoS, CoW, HDF0, ヘテロジニアス, パッケージ, Amkor