

Amkor 的 2.5D 和 HDFS 封装 — 先进异构芯片封装解决方案

John Lee, 资深总监, 安靠封装测试.

Mike Kelly, 副总裁, 先进产品开发, Amkor Technology, Inc.

摘要:科技的大浪潮,正向人工智能、深度学习、云端计算、超级电脑等领域快速发展,而这些前沿技术都有一个共同特点,那就是超高性能的高速芯片(IC)。除了主芯片自身往更先进的工艺节点推进外,还可能与更高带宽的内存(High Bandwidth Memory, HBM),或更高传输速度的串行解串器(Serdes),或其它特定功能的芯片,整合成异构芯片封装(Heterogeneous Package),将整体效能推向极致。为了实现这样的功能,异构芯片集成的封装技术将扮演至关重要的角色。

本文介绍由 Amkor 开发的封装技术平台,包括 2.5D 硅通孔(TSV)介质层(Interposer)、基板上芯片(CoS)、晶圆上芯片(CoW)、高密度扇出型封装(HDFS),以及电子设计自动化(EDA)设计流程和测试解决方案。为了达到大规模生产此类先进封装的能力,文章还将介绍最先进的高洁净度高自动化封装工厂 K5,以高技术和高质量帮助客户实现其高速性能的目标。

Key words: 2.5D, TSV, Interposer, CoS, CoW, HDFS, Heterogeneous Package, Amkor

1 引言

什么是现在最牛、最火的高科技呢?行业专家们很有可能引述到人工智能、深度学习、云计算、超级电脑等。这些前沿技术正在引领着科技飞速发展,而它们都有一个共同的特点:高性能芯片。

放眼全球科技界的巨头们,例如 Google、Amazon、Intel、NVIDIA 和 AMD 等,无不投入巨大资源开

发相关领域。在中国,人工智能已然被列入国家级的顶层规划。2016 年,国务院印发《“十三五”国家科技创新规划》明确提出一项目标,那就是“到 2020 年人工智能总体技术和应用与世界先进水平同步;到 2025 年人工智能基础理论实现重大突破;到 2030 年人工智能理论、技术与应用总体达到世界领先水平”。与此同时,中国的科技巨头,如百度、阿里巴巴、腾讯、华为等持续发力,还有寒武纪等众多初创公司异军突起,为欣欣向荣的技术浪潮推波助澜。投资机

构高盛集团预测,在未来几年,全球 AI 硬件芯片(包括中央处理器(CPU)、图形处理器(GPU)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)等)的复合年均增长率将超过 40%(见图 1)。

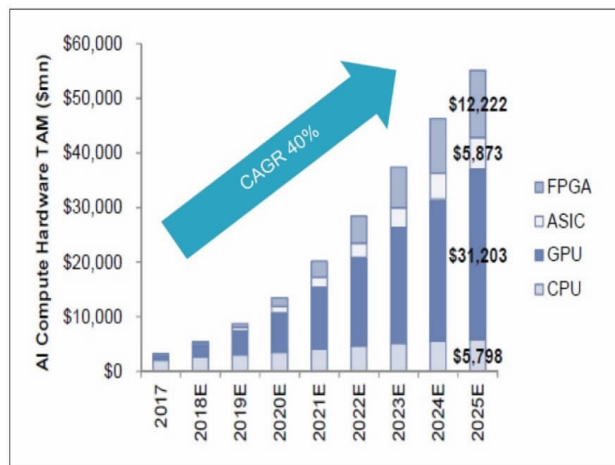


图 1 全球 AI 计算硬件总体预估市场 (TAM)。

资料来源:Goldman Sachs 2018

算法、大数据和高性能芯片是这波进步的主要核心。其中的高性能芯片,循着摩尔定律驱动制程工艺发展,从 16 nm/14 nm 到 10 nm 再到 7 nm,元件的尺寸不断微缩,速度加快,门数也在增多。这意味着,每隔 18-24 个月,相同空间内集成的元件数量就会翻倍。这样的数字确实非常惊人。不仅主芯片本身在进化,还有两种芯片也越来越关键。其一是高带宽存储器 (HBM),它提升了存储器的带宽,强化了计算能力,而且降低系统的整体能耗。另一个是串行解串器(SerDes),用于接收与传输高速信号,它可以被集成到主芯片中,也可以作为独立的芯片。那么,如何将它们整合到一起实现高速性能呢?答案就是先进异构芯片封装。

2 2.5D 封装概述

2.1 什么是 2.5D 封装

2.5D 封装是一种先进的异构芯片封装,能将多颗芯片做高密度的信号连接,集成进一个封装。它的主要特征包含三层立体种结构(如图 2 所示):

- (1)主芯片等多颗芯片长微凸块后倒装;
- (2)含硅通孔 (TSV) 的介质层(Si interposer)制作凸块或锡球后,对应上下两层结构;
- (3)将介质层倒装到基板上。

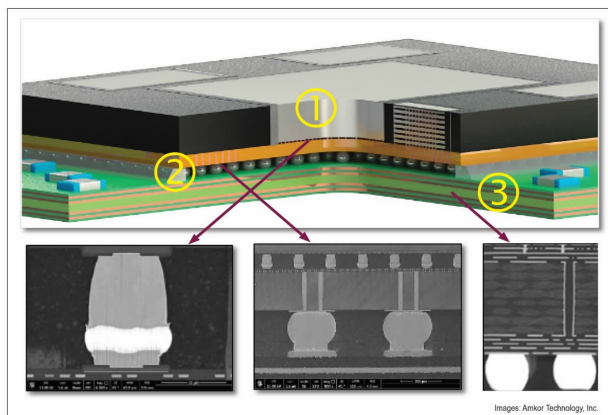


图 2 先进 2.5D 封装技术的三层特征结构

2.2 2.5D 封装的优点

采用如此复杂的封装结构的原因有很多。如图 3 所示,为了满足运算速度不断提升的需求,内存与主芯片的物理距离越趋靠近。从早期各自封装后,通过系统板(PCB)对接,发展到 SiP,将内存和主芯片通过基板 (Substrate) 对接形成 FCBGA 封装。进展到 2.5D 的时代,内存提升到了新一代的 HBM,距离又拉得更近,通过硅介电层(Si Interposer)对接。主芯片和内存的距离演进从数十毫米缩小到数毫米再达到 0.1 毫米(100 μ m)以下。距离的减小意味着时间延迟的缩短和电子信号质量的优化,可实现更高速度,而且降低能耗。

另一个原因是 HBM 数据并行位宽有 1024 比特,这已不是 DDR4 或 GDDR5/GDDR5X/GDDR6 的 16/32 比特所能相提并论。此外, HBM 有大约 4,000

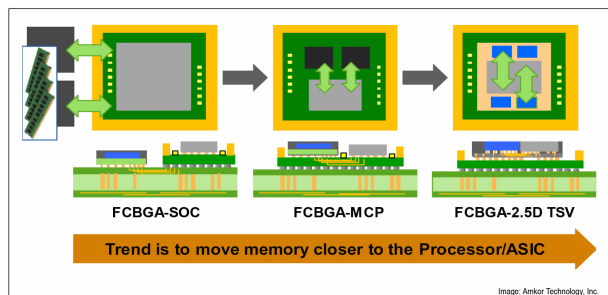


图 3 先进封装趋势。

个出球(输入/输出/电源/地),代表着与主芯片对接需要非常高的连接密度。传统的FCBGA基板线宽限制已无法满足这样的高密度连接要求,必须升级至2.5D硅介质层连接。

另一个重要趋势是SerDes的高速传输需求。单通路的SerDes发展达到每秒10Gbps(千兆比特)、28Gbps、56Gbps,甚至112Gbps的速度。在高速数据中心应用中,主芯片控制着多个SerDes通路。随着制程节点的推进,在高性能要求、新SerDes IP 确认完美匹配、上市时间压力等整体综效的考量下,市场朝着系统级芯片(SoC)设计的发展步伐并不一致。部分将采用2.5D异构芯片封装解决方案,将多颗SerDes芯片与主芯片集成。

除此以外,还有一些是良率方面的考量。理论上来说,单个芯片的面积越大,良率越低。如Bose-Einstein良率模型: $Y=1/(1+AD)^k$,Y代表良率,A代表芯片面积,D代表缺陷密度,而k指的是难度层级系数。功能强大的高端芯片需要很大的芯片面积,预计良率也较低。因此,在设计上将一个大芯片分解成多个较小的芯片,然后通过2.5D异构芯片封装,就能提高良率并且降低成本。这一点已经在FPGA中得到证明。

3 TSV 硅介质层

高速芯片选择TSV硅介质层技术实现高密度连接,其主要优势是信号布线层(RDL)线宽线距能达到 $2\mu\text{m}/2\mu\text{m}$ 以下,而且支持 $40\mu\text{m}$ 间距的微凸块与芯片对接。这意味着其密度能超过传统FCBGA基板的10倍以上。它的连接距离更短,信号质量更优,因而能够实现异构芯片集成连接。

Amkor的TSV硅介质层是300mm晶圆级制程。该制程先在晶圆厂完成部分工序后,到Amkor做一系列的中段生产线制程(MEOL)。主要制程在上层微凸块连接衬垫,减薄,TSV显露处理,保护层,到下层锡凸块之间,形成如图4所示的结构剖面图。

2.5D TSV Integration

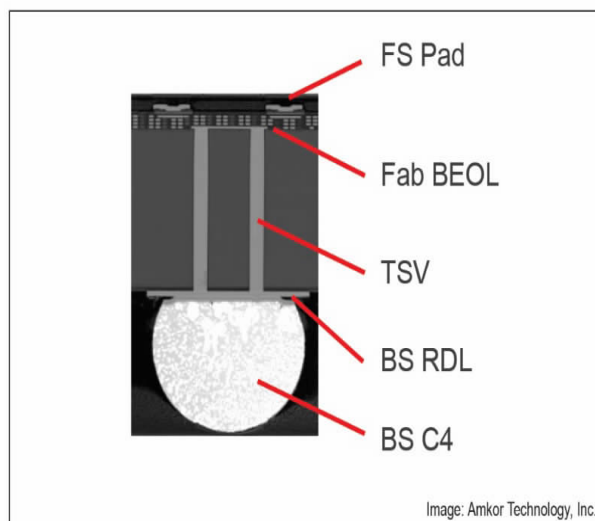


图4 从正面(FS)衬垫到背面(BS)C4的结构剖面图。

4 Chip on Substrate (CoS) 封装

在完成硅介质层中段模块以后,它便能被贴合上封装基板,形成异构性2.5D封装。Amkor在2009年开始研发2.5D封装,在2011年Xilinx推出行业首个2.5D FPGA Vertex-V7时,参与其中负责封装的就是Amkor。Amkor已经开发出两种主要的2.5D封装平台,基板上芯片(CoS)和晶圆上芯片(CoW)。CoS于2014年开发完成,并导入大规模生产。CoW平台为新的升级结构制程,在2018年开始大规模生产。

CoS制程首先将介质层贴合至基板,然后将多个芯片贴合至介质层,形成异构性封装(见图5)。先完成制程中的RDL之后,再将芯片贴装至RDL介质层,这样的制程有个特别的名词—RDL First或Die Last。这样的优点在于可以做中段试验,它能标记、淘汰不合格的半成品介质层,避免其再被封装而浪费其它昂贵的芯片,实现更高的良率。封装尺寸越大,遭遇的挑战也越艰巨,Amkor已在该领域开展各种基础研究,拥有大量生产数据库,而且进入大规模量产。

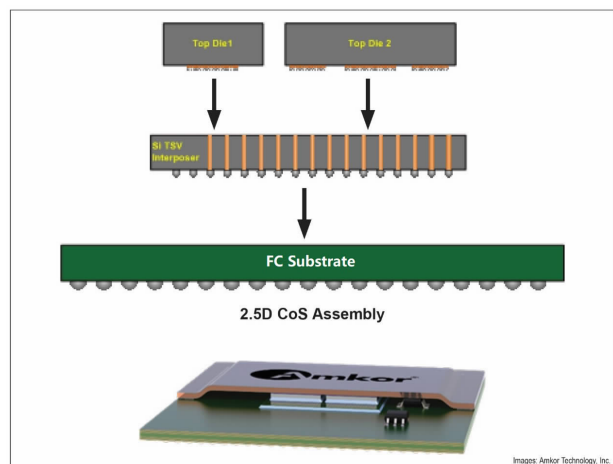


图 5 CoS 制程

5 Chip on Wafer (CoW) 封装

CoW 是从 CoS 提升结构的下一代技术,它采用硅晶圆作为基板的晶圆级封装技术。相较之下,CoW 首先将芯片贴合到介质层,然后晶圆级塑封,最后再将它们连接到封装基板上(见图 6)。此技术的优点是:能提供更强壮的物理结构,以满足更大芯片尺寸和更大介质层尺寸的封装技术要求。Amkor 已完成各种测试验证,并导入大规模量产。

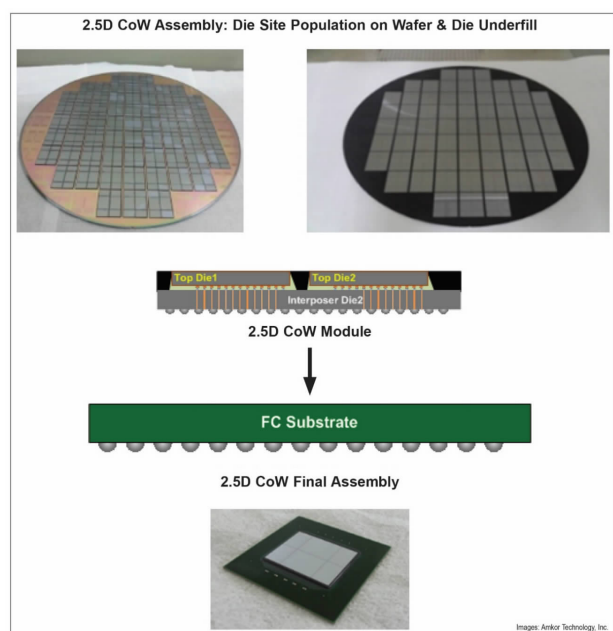


图 6 晶圆级芯片封装。

6 HDFO 封装

HDFO 高密度扇出性封装,是基于 Amkor 的硅晶圆集成扇出式技术 Silicon Wafer Integration Fan-out Technology (SWIFT)开发而成,类似 CoW 但采用的是没有 TSV 结构的晶圆级封装,是下一代的异构芯片封装的发展方向。为了实现这个目标,先将有微凸块的芯片贴合至 RDL 预布线的介质层,也就是中段组装流程,切单后再倒装至 FCBGA 基板以完成异构芯片封装(见图 7)。该技术保持了高密度连线,出色的信号质量,无需 TSV,因而进一步降低封装成本。HDFO 异构芯片封装已成功用于多种应用,包括网通、服务器,以及多种 GPU 和 FPGA 等结构。

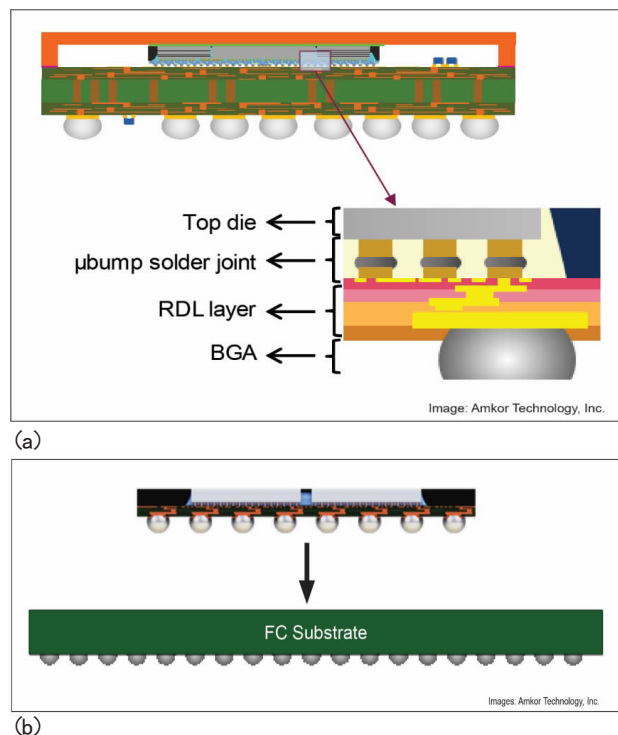


图 7 HDFO 封装互连芯片 (a),
然后将中段组装产品贴合到基板 (b)。

7 测试

复杂又精密的测试,是实现异构芯片封装必须攻克的难关。从芯片针测 (CP)、介质层测试、中段

测试(MT)、终测(FT),到系统级测试(SLT),无不充满着高难度的困难挑战。这些均为客制化测试,不同客户和不同产品可能拥有各自优化的流程(见图8)。

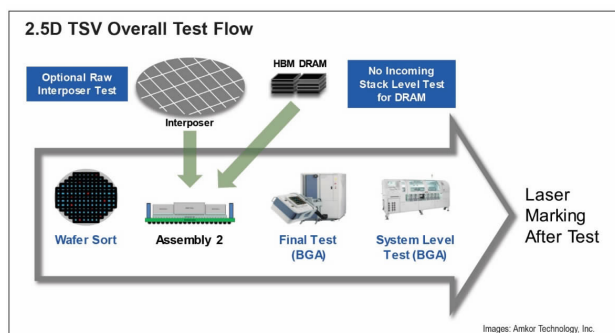


图8 先进封装的整体测试流程。

8 协同设计和生态系统

对于2.5D和HDFO的封装设计,其设计流程和设计方法都与传统封装设计非常不同。例如,HBM2约有4,000个凸块,主芯片可能有数万个凸块,如此众多的芯片接口需要通过介质层来互连。因此,设计、仿真优化和规则检查都需要更先进的方法。要应对这些挑战,Amkor已经开发出OSAT业界领先的封装设计套件(PADK, Process Assembly Design Kits)和设计流程,并和Cadence和Mentor Graphics合作,实现了电子设计自动化(EDA)的连通。

在设计阶段采用该套件,即导入了设计规则和同步调试的设计环境,在原理图和布局图之间的比对(LVS),和所有的设计规则检查(DRC)。该设计流程后,还需通过严格的验证签核(Sign off)。另外,通过对介质层和基板模型进行提取,开展协同设计和协同

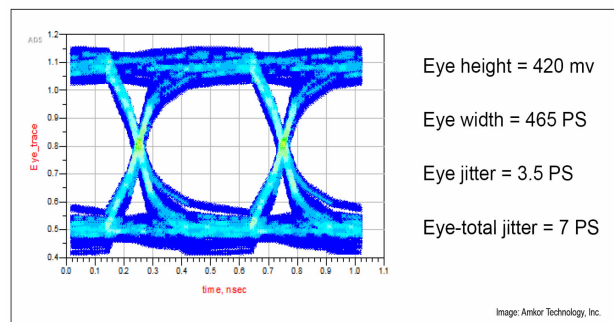


图9 仿真眼图显示协同封装主芯片和HBM2的性能。

仿真,以达到DFP (Design for Performance), DFM (Design for Manufacture), DFC (Design for Cost)的优化。图9展示的眼图为例,主芯片和HBM2运行频率达到2 GHz的性能。

除了设计,完整的生态系统也非常重要。Amkor与三家晶圆代工厂有TSV介质层合作,和设计公司、设计服务公司、IP公司和系统公司,上游客户和下游厂商构筑起一个生态系统,优化资源并创造双赢的局面。根据此概念共同开发和推出产品的成功案例很多。其中包括:

● 2014年:Open-Silicon / GLOBALFOUNDRIES / Amkor联合发表了“用2.5D TSV实现多处理器SiP功能”;

● 2016年:SK Hynix/eSilicon/Northwest Logic/Amkor/Avery,联合发表了“High-Bandwidth Memory White Paper: Start your HBM/2.5D Design Today”;

● 2018: Samsung/eSilicon/Northwest Logic/ Amkor,联合召开座谈发布会,谈论“ASIC Unlock Deep Learning Innovation. Webinar: HBM2/2.5D Ecosystem for AI”。

9 量产能力

对于先进半导体封装来说,只具备研发能力是不够的,还需要稳定、可控的量产能力。作为该领域的先驱,Amkor已在韩国仁川建立尖端的制造工厂K5。这是一座晶圆级洁净度(100级)的现代化工厂,配备自动制导车辆(AGV)和先进规划排程(APS)系统(见图10),可用于生产晶圆级封装。此类AGV通过APS控制,能够自动驾驶到相应的仓库,装卸产品,将其运送到相应的机台,并自动选择正确的工作制程参数。这样的自动化大大降低了人为错误的风险。除此以外,制程参数和测量数据被收集并保存在大数据中心。这种大数据管理和大数据分析方式具有出色的可追溯性,能够避免传统人为工程和管理盲点。毫无疑问,这样先进的工厂得到了客户极高的评价和一致赞赏。(下转第79页)

随着电流密度的增加都大幅度降低,这是因为电流密度是金属原子定向移动的驱动力,电流密度的升高会使得原子的驱动力大幅度增加,这样就会使得金属原子的定向移动速度加快,最终导致失效。

3 结束语

通过上述采用控制变量的方法,得出银合金线会随着环境温度的增加和电流密度的提高而加速发生,所以,银合金线在封装中应避免在高温高压要求的产品(如:Mosfet 产品、TO 系列的大功率产品)中使用。CIC

参考文献

- [1]马鑫、何小琦.集成电路内引线键合工艺材料失效机制及可靠性[J].电子工艺技术.2001,22(5):185-191.
- [2]晁宇晴、杨兆建、乔海灵.引线键合技术进展[J].电子工艺技术.2007,28(4):205-210.
- [3]吕磊.引线键合工艺介绍及质量检验[J].电子工业专用设备,2008,37(3):53-60.

作者简介

焦海青(1982年-),男,毕业于天水师范学院,2005年进入天水华天科技股份有限公司工作,中级工程师,从事于LED事业部新产品研发工作。

(上接第75页)

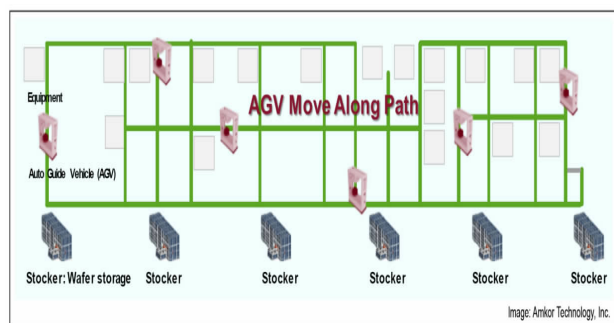


图10 在尖端的K5制造工厂内,自动制导车辆在不同阶段运送产品。

10 总结

在科技发展的前沿技术浪潮中,人工智能、深度学习、云计算和超级电脑等超高性能要求,趋势上采用HBM、SerDes,与高速芯片集成达到更高的效能。Amkor已开发出一系列的封装技术来满足此类需求,其中包括2.5D硅介质层、CoS、CoW、HDFO异构芯片封装,并且通过优化的设计工艺流程和测试解

决方案,以及最先进、自动化的工厂,帮助世界各地的客户取得成功。CIC

参考资料

Amkor Technology, Inc.: <https://amkor.com/technology/>

感谢

本文作者感谢 Amkor Technology, Inc. 的 Ron Huemoeller、Curtis Zwenger、Ruben Fuentes 和 Debi Polo,以及 Amkor 大中华区市场及销售部的 Emdrem Tan、Jack Chen、Kevin Yu、Jason Kao、Michael Chang、Elbert Liu、Annie Huang 和 Sophia Huang。

关于作者

李吕祝(John Lee)目前就职于 Amkor Technology 大中华区市场及销售部。他持有新竹交通大学电子物理硕士学位。

Mike Kelly 是 Amkor Technology 先进产品开发副总裁。他持有爱达荷大学的化学工程理学硕士学位和华盛顿大学的机械工程理学硕士学位。